

## Спецификација предмета за књигу предмета

<b>Студијски програм</b>	Електротехника и рачунарство			
<b>Изборно подручје (модул)</b>	Електроника - Електронска кола и ембедед системи			
<b>Врста и ниво студија</b>	Основне академске студије			
<b>Назив предмета</b>	Језици за моделовање хардвера			
<b>Наставник (за предавања)</b>	Андрејевић-Стошовић В. Миона			
<b>Наставник/сарадник (за вежбе)</b>	Мирковић Д. Дејан			
<b>Наставник/сарадник (за ДОН)</b>	Мирковић Д. Дејан			
<b>Број ЕСПБ</b>	5	<b>Статус предмета (обавезни/изборни)</b>	Изборни	
<b>Услов</b>				
<b>Циљ предмета</b>	Савладавање језика за опис хардвера (HDL) који се користе у пројектовању и верификацији интегрисаних кола: System Verilog, Verilog-AMS.			
<b>Исход предмета</b>	Стицање компетентности за моделовање кола дигиталне и аналогне електронике помоћу HDL језика. Очекује се да студенти науче да исправно опишу електронско коло према датим спецификацијама и потврде функционалност модела одговарајућим симулацијама. Студенти треба да науче како да напишу и презентују резултат рада.			
<b>Садржај предмета</b>				
<b>Теоријска настава</b>	Verilog као HDL. Bottom-up и Top-Down методологија. Модул као основна јединица. Секвенцијални Verilog типови блокова. Оператори. Регистри. Меморије. Искази за контролу тока. Петље. Потпрограми. Конкурентни процеси. Blocking и Non-blocking додељивање. Инстанцирање. Пинови. Приказивање времена. Параметри. Директиве. Тестбенчеви. Основе Verilog-AMS језика за моделовање и верификацију аналогних блокова у дигиталном окружењу. Опис понашања. Опис конзервативних (Кирхофови закони) и неконзервативних (signal flow) система. Гране, чворови, сигнали. Функције Verilog-A језика за имплементацију основних аналогних функција. Примери AMS модела аналогних блокова. Компромис између комплексности AMS модела и времена симулације.			
<b>Практична настава (вежбе, ДОН, студијски истраживачки рад)</b>	Знање стечено на предавањима студенти продубљују развијајући вештину писања и валидације Verilog модела помоћу компјлера и симулатора из професионалних софтверских пакета Cadence и Mentor Graphics. Bergeron, Janick.			
<b>Литература</b>				
1	Sutherland, S., et al., SystemVerilog for Design: A Guide to Using SystemVerilog for Hardware Design and Modeling, 2013. ISBN 1475766823, 9781475766820			
2	Writing testbenches using SystemVerilog. Springer Science & Business Media, 2007. ISBN 1475766823, 9781475766820.			
3	IEEE Standard for SystemVerilog-Unified Hardware Design, Specification, and Verification Language," in IEEE Std 1800-2017 (Revision of IEEE Std 1800-2012) , vol., no., pp.1-1315, 22 Feb. 2018 doi: 10.1109/IEEESTD.2018.8299595			
4	Kundert, Ken, and Olaf Zinke. The designer's guide to Verilog-AMS. Springer Science & Business Media, 2006. ISBN 140208045X, 9781402080456.			
5	Verilog-AMSLanguage Reference Manual, Version 2.4.0, Accellera Systems Initiative 2014.			
<b>Број часова активне наставе недељно током семестра/триместра/године</b>				
<b>Предавања</b>	<b>Вежбе</b>	<b>ДОН</b>	<b>Студијски истраживачки рад</b>	<b>Остали часови</b>
2	1	1	0	0
<b>Методје извођења наставе</b>	Предавања, Аудитивне вежбе, Лабораторијске вежбе на рачунару, Консултације, Индивидуални и групни пројекти.			
<b>Оцена знања (максимални број поена 100)</b>				
<b>Предиспитне обавезе</b>	<b>поена</b>	<b>Завршни испит</b>		<b>поена</b>
<b>активност у току предавања</b>	10	<b>писмени испит</b>		
<b>практична настава</b>	20	<b>усмени испит</b>		30
<b>колоквијуми</b>				
<b>семинари</b>	40			