

## ИЗБОРНОМ ВЕЋУ ЕЛЕКТРОНСКОГ ФАКУЛТЕТА У НИШУ

Изборно веће Електронског факултета у Нишу је на седници одржаној 04. 06. 2009. године донело одлуку број 03/01-041/09-001 којом је именована Комисија за писање извештаја о пријављеним кандидатима по конкурс за избор *једног сарадника у звање асистент за ужу научну област Микроелектроника и микросистеми*, у саставу проф. др Стојан Ристић, доц. др Ивица Манић и доц. др Зоран Павловић.

После прегледа конкурсног материјала, Комисија подноси следећи

### ИЗВЕШТАЈ

На конкурс објављен 08.05.2009. године у дневном листу "Народне новине" јавио се један кандидат, мр Војкан Давидовић, асистент Електронског факултета у Нишу.

#### 1. БИОГРАФСКИ ПОДАЦИ

##### а) Лични подаци

Војкан Давидовић је рођен 11. децембра 1963. године у Сврљигу. Стално је настањен у Нишу. Ожењен је и има двоје деце.

##### б) Подаци о досадашњем образовању

Кандидат је Основну школу завршио у селу Извор, а гимназију „Светозар Марковић“ у Нишу на смеру *Техничар за физичку електронику* 1982. године, када је и проглашен за ученика генерације. Носилац је диплома „Вук Караџић“ и за основну и за средњу школу. По одслужењу војног рока уписао је Електронски факултет у Нишу школске 1983/84. године. За резултате постигнуте у току студија награђен је повељом Факултета за најбољег студента II године и најбољег студента IV године. Студије је завршио 1990. године на смеру за Микроелектронику са просечном оценом 9.53, а дипломски рад под насловом „*Моделирање напона прага MOS VLSI транзистора*“ одбранио је јуна 1990. године. У току студија био је ангажован неколико година као демонстратор на лабораторијским вежбама из *Физике и Електротехничких материјала*. Био је стипендиста Републичке фондације за развој научног и уметничког подмлатка.

##### в) Професионална каријера

Кандидат од 3. септембра 1990. године ради на Електронском факултету у Нишу, где је изабран за асистента-приправника за предмете *Електронске компоненте*, *Физичка електроника* и *Основи микроелектронике*. Од тада је ангажован и у научно-истраживачким пројектима који су реализовани на Катедри за микроелектронику Електронског факултета. Септембра 1996. године

одбранио је магистарску тезу под насловом „Раздвајање ефеката јонизујућим зрачењем изазваних наелектрисањем у оксиду и на међуповршини оксид-полупроводник код MOS транзистора“ на Електронском факултету у Нишу, а 1997. године изабран је за асистента за област Микроелектроника за предмете *Основи микроелектронике* и *Електронске компоненте*. 2001. године је реизабран за асистента за поменуте предмете. Израда докторске дисертације под називом „Анализа техника за раздвајање ефеката наелектрисања у оксиду и површинских стања код VDMOS транзистора снаге“ одобрена му је 2004. године на Електронском факултету у Нишу. 2005. године изабран је у звање асистент за ужу научну област Микроелектроника и микросистеми на Електронском факултету у Нишу.

Поред наведених предмета, мр Војкан давидовић је у протеклом периоду био ангажован у настави и на предметима *Карактеризација компонента, Интегрисани микросистеми, Физика и дијагностика отказа, Физика отказа микроелектронских компонента* и *Пројектовање VLSI система*.

## 2. ПРЕГЛЕД НАУЧНОГ И СТРУЧНОГ РАДА КАНДИДАТА

### 2.1. Научни радови

#### а) Научни радови објављени у међународним часописима

- a1. N. Stojadinović, S. Djorić, S. Golubović, and V. Davidović, “Separation of the Irradiation Induced Gate Oxide Charge and Interface Traps Effects in Power VDMOSFETs”, *Electronics Letters*, Vol. 30, 1994, pp. 1992-1993.
- a2. N. Stojadinović, M. Pejović, S. Golubović, G. Ristić, V. Davidović, and S. Dimitrijević, “Effects of Radiation-Induced Oxide-Trapped Charge on Mobility in P-Channel MOSFETs”, *Electronics Letters*, Vol. 31, 1995, pp. 497-498.
- a3. N. Stojadinović, S. Golubović, V. Davidović, S. Djorić-Veljković and S. Dimitrijević, Modeling Radiation-Induced Mobility Degradation in MOSFETs”, *Physica Status Solidi (a)*, Vol. 169, 1998, pp. 63-66.
- a4. S. Golubović, S. Djorić-Veljković, V. Davidović, and N. Stojadinović, “Modeling of  $\gamma$ -Irradiation and Lowered Temperature Effects in Power VDMOS Transistors”, *Japanese Journal of Applied Physics*, Vol. 38, 1999, pp. 4699-4702.  
N. Stojadinović, S. Golubović, S. Djorić-Veljković, and V. Davidović, “Correction to “Modeling of  $\gamma$ -Irradiation and Lowered Temperature Effects in Power VDMOS Transistors”, *Japanese Journal of Applied Physics*, Vol. 40 (3A), 2001, p. 1530.
- a5. I. Manić, Z. Pavlović, Z. Prijić, V. Davidović, N. Stojadinović, “Analytical Modelling of Electrical Characteristics in  $\gamma$ -Irradiated Power VDMOS Transistors”, *Microelectronics Journal*, Vol. 32, 2001, pp.485-490.
- a6. N. Stojadinović, I. Manić, S. Djorić-Veljković, V. Davidović, S. Golubović, S. Dimitrijević, “Mechanisms of Positive Gate Bias Stress Induced Instabilities in Power VDMOSFETs”, *Microelectronics Reliability*, Vol. 41, 2001, pp. 1373-1378.
- a7. N. Stojadinović, S. Djorić-Veljković, I. Manić, V. Davidović, S. Golubović, “Radiation Hardening of Power VDMOSFETs Using Electrical Stress”, *Electronics Letters*, Vol. 38, 2002, p. 431.
- a8. N. Stojadinović, I. Manić, S. Djorić-Veljković, V. Davidović, S. Golubović, S. Dimitrijević, “Effects of High Electric Field and Elevated-Temperature Bias Stressing on Radiation Response in Power VDMOSFETs”, *Microelectronics Reliability*, Vol. 42, 2002, pp. 669-677.
- a9. N. Stojadinović, I. Manić, S. Djorić-Veljković, V. Davidović, D. Danković, S. Golubović, S. Dimitrijević, “Mechanisms of Spontaneous Recovery in Positive Gate Bias Stressed Power VDMOSFETs”, *Microelectronics Reliability*, Vol. 42, 2002, pp. 1465-1468.

- a10. N. Stojadinović, S. Djorić-Veljković, I. Manić, **V. Davidović**, S. Golubović, “Effects of Burn-in Stressing on Radiation Response of Power VDMOSFETs”, *Microelectronics Journal*, Vol. 33, 2002, pp. 899-905.
- a11. S. Djorić-Veljković, I. Manić, **V. Davidović**, S. Golubović, N. Stojadinović, “Effects of Burn-in Stressing on Post-Irradiation Annealing Response of Power VDMOSFETs”, *Microelectronics Reliability*, Vol. 43, 2003, pp. 1455-1460.
- a12. D.N. Kouvatso, **V. Davidović**, G.J. Papaioannou, N. Stojadinović, L. Michalas, M. Exarchos, A.T. Voutsas, D. Goustouridis, “Effects of Hot Carrier and Irradiation Stresses on Advanced Excimer Laser Annealed Polycrystalline Silicon Thin Film Transistors”, *Microelectronics Reliability*, Vol. 44, 2004, pp. 1631-1636.
- a13. N. Stojadinović, I. Manić, **V. Davidović**, D. Danković, S. Djorić-Veljković, S. Golubović, S. Dimitrijević, “Effects of Electrical Stressing in Power VDMOSFETs” *Microelectronics Reliability*, vol. 45, 2005, pp. 115-122 (invited paper).
- a14. N. Stojadinović, D. Danković, S. Djorić-Veljković, **V. Davidović**, I. Manić, S. Golubović, “Negative Bias Temperature Instability Mechanisms in p-Channel Power VDMOSFETs” *Microelectronics Reliability*, vol. 45, 2005, pp. 1343-1348.
- a15. D. Danković, I. Manić, S. Djorić-Veljković, **V. Davidović**, S. Golubović, N. Stojadinović, “NBT Stress-Induced Degradation and Lifetime Estimation in p-Channel Power VDMOSFETs”, *Microelectronics Reliability*, Vol. 46, 2006, pp. 1828-1833.
- a16. N. Stojadinović, I. Manić, **V. Davidović**, D. Danković, S. Djorić-Veljković, S. Golubović, S. Dimitrijević, “Electrical Stressing Effects in Commercial Power VDMOSFETs”, *IEE Proc. Circuits, Devices & Systems*, Vol. 153, 2006, pp. 281-288.
- a17. D. Danković, I. Manić, **V. Davidović**, S. Djorić-Veljković, S. Golubović, N. Stojadinović, “Negative Bias Temperature Instabilities in Sequentially Stressed and Annealed P-Channel Power VDMOSFETs”, *Microelectronics Reliability*, Vol. 47, 2007, pp. 1400-1405.
- a18. **V. Davidović**, D. N. Kouvatso, N. Stojadinović, A.T. Voutsas, “Influence of Polysilicon Film Thickness on Radiation Response of Advanced Excimer Laser Annealed Polycrystalline Silicon Thin Film Transistors”, *Microelectronics Reliability*, Vol. 47, 2007, pp. 1841-1845.
- a19. I. Manić, S. Djorić-Veljković, **V. Davidović**, D. Danković, S. Golubović, N. Stojadinović, “Mechanisms of Spontaneous Recovery in DC Gate Bias Stressed Power VDMOSFETs”, *IET Circuits, Devices & Systems*, 2008, Vol. 2, no. 2, pp. 213-221
- a20. **V. Davidović**, N. Stojadinović, D. Danković, S. Golubović, I. Manić, S. Djorić-Veljković, S. Dimitrijević, “Turn-Around of Threshold Voltage in Gate Bias Stressed p-Channel Power Vertical Double-Diffused Metal-Oxide-Semiconductor Transistors”, *Jap. J. Appl. Phys.*, 2008, Vol. 47, pp. 6272-6276
- a21. D. Danković, I. Manić, **V. Davidović**, S. Djorić-Veljković, S. Golubović, N. Stojadinović, “Negative Bias Temperature Instability in n-Channel Power VDMOSFETs”, *Microelectronics Reliability*, Vol. 48, 2008, pp. 1313-1317.

**b) Научни радови саопштени на међународним научним скуповима, штампани у целини**

- b1. S. Djorić-Veljković, **V. Davidović**, “Analysis of Gamma-Irradiation Induced Oxide Charge and Interface Trap Effects in Power VDMOSFETs”, *Proc. 20<sup>th</sup> International Conference on Microelectronics (MIEL 1995)*, Niš, September 1995, pp. 259-262.
- b2. N. Stojadinović, S. Golubović, **V. Davidović**, S. Djorić-Veljković, S. Dimitrijević, “Modeling of Radiation-Induced Mobility Degradation in MOSFETs”, *Proc. 21<sup>st</sup> International Conference on Microelectronics (MIEL 1997)*, Niš, September 1997, pp. 355-356.

- b3. **V. Davidović**, S. Djorić-Veljković, S. Golubović, N. Stojadinović, "Room Temperature Relaxation of Irradiated and Cooled Power VDMOS Transistors", *Proc. 6<sup>th</sup> International Conference on Mixed Design of Integrated Circuits And Systems (MIXDES'99)*, Krakow (Poland), June 1999, pp. 291-294.
- b4. S. Djorić-Veljković, S. Golubović, **V. Davidović**, N. Stojadinović, "Power VDMOS Transistors Response to Lowered Temperature Conditions", *Proc. 22<sup>nd</sup> International Conference on Microelectronics (MIEL 2000)*, Niš, 14-17 May 2000, pp. 383-386.
- b5. Z. Pavlović, I. Manić, Z. Prijić, **V. Davidović**, N. Stojadinović, "Influence of Gate Oxide Charge Density on VDMOS Transistor ON-Resistance", *Proc. 22<sup>nd</sup> International Conference on Microelectronics (MIEL 2000)*, Niš, 14-17 May 2000, pp. 663-666.
- b6. I. Manić, Z. Pavlović, Z. Prijić, **V. Davidović**, N. Stojadinović, "Influence of  $\gamma$ -Irradiation on Electrical Characteristics of Power VDMOS Transistors", *Proc. 5<sup>th</sup> International Seminar on Power Semiconductors (ISPS 2000)*, Prague (Czech Republic), 30 Aug.-1 Sept. 2000, pp.203-208.
- b7. S. Djorić-Veljković, **V. Davidović**, S. Golubović, and N. Stojadinović, "Radiation Effects in Low-Temperature Stressed Power VDMOS Transistors", *Proc. 23<sup>rd</sup> International Semiconductor Conference (CAS 2000)*, Sinaia (Romania), October 2000, pp. 337-340
- b8. I. Manić, Z. Pavlović, S. Golubović, S. Djorić-Veljković, **V. Davidović**, N. Stojadinović, "Effects of  $\gamma$ -Irradiation on Drain Current and Transconductance in Power VDMOS Transistors", *Proc. 8<sup>th</sup> International Conference on Mixed Design of Integrated Circuits and Systems (MIXDES 2001)*, Zakopane (Poland), 21–23 June 2001, pp. 333-338.
- b9. N. Stojadinović, S. Djorić-Veljković, I. Manić, **V. Davidović**, S. Golubović, "Effects of Elevated-Temperature Bias Stressing on Radiation Response in Power VDMOSFETs", *Proc. 8<sup>th</sup> International Symposium on the Physical & Failure Analysis of Integrated Circuits (IPFA 2001)*, Singapore, 9 – 13 July 2001, pp. 243-248.
- b10. N. Stojadinović, S. Djorić-Veljković, **V. Davidović**, I. Manić, S. Golubović, "Gamma-Irradiation Effects in Power MOSFETs for Applications in Communications Satellites", *Proc. 5<sup>th</sup> International Conference on Telecommunications in Modern Satellite, Cable and Broadcasting Services (TELSIKS 2001)*, Niš, September 2001, pp.395-400.
- b11. N. Stojadinović, I. Manić, S. Djorić-Veljković, **V. Davidović**, S. Golubović, S. Dimitrijević, "Mechanisms of Positive Gate Bias Stress Induced Instabilities in Power VDMOSFETs", *Proc. 12<sup>th</sup> European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF 2001)*, Bordeaux (France), October 2001, pp.1373-1378.
- b12. N. Stojadinović, I. Manić, S. Djorić-Veljković, **V. Davidović**, S. Golubović, S. Dimitrijević, "Effects of Positive Gate Bias Stressing and Subsequent Recovery Treatment in Power VDMOSFETs", *Proc. 4<sup>th</sup> IEEE International Caracas Conference on Devices, Circuits, and Systems (ICDCS 2002)*, Aruba (Dutch Caribbean), 15-17 April 2002, pp. DO50-1 - DO50-8 - invited paper.
- b13. N. Stojadinović, I. Manić, S. Djorić-Veljković, **V. Davidović**, D. Danković, S. Golubović, S. Dimitrijević, "Spontaneous Recovery of Positive Gate Bias Stressed Power VDMOSFETs", *Proc. 23<sup>rd</sup> International Conference on Microelectronics (MIEL 2002)*, Niš, 12-15 May 2002, pp. 717-722.
- b14. N. Stojadinović, S. Djorić-Veljković, I. Manić, **V. Davidović**, S. Golubović, "Effects of Positive Gate Bias Stress on Radiation Response in Power VDMOSFETs", *Proc. 23<sup>rd</sup> International Conference on Microelectronics (MIEL 2002)*, Niš, 12-15 May 2002, pp. 723-726.
- b15. N. Stojadinović, S. Djorić-Veljković, I. Manić, **V. Davidović**, S. Golubović, "Radiation Response of Elevated-Temperature Bias Stressed Power VDMOSFETs", *Proc. 6<sup>th</sup> International Seminar on Power Semiconductors (ISPS 2002)*, Prague (Czech Republic), September 2002, pp. 69-74.
- b16. N. Stojadinović, I. Manić, S. Djorić-Veljković, **V. Davidović**, D. Danković, S. Golubović, S. Dimitrijević, "Mechanisms of Spontaneous Recovery in Positive Gate Bias Stressed Power VDMOSFETs", *Proc. 13<sup>th</sup> European Symposium on Reliability of Electron Devices, Failure Phy-*

- sics and Analysis (ESREF 2002)*, Rimini (Italy), October 2002, pp. 1465-1468; objavljen i u časopisu *Microelectronics Reliability*, rad a9.
- b17. I. Manić, S. Djorić-Veljković, **V. Davidović**, D. Danković, S. Golubović, S. Dimitrijević, N. Stojadinović, “Effects of Negative Gate Bias Stressing in Thick Gate Oxides for Power VDMOSFETs”, *Proc. 12<sup>th</sup> Workshop on Dielectrics in Microelectronics (WoDiM 2002)*, Grenoble (France), November 2002, pp. 41-44.
- b18. **V. Davidović**, I. Manić, S. Djorić-Veljković, D. Danković, S. Golubović, S. Dimitrijević, N. Stojadinović, “Effects of Negative Gate Bias Stressing in Power VDMOSFETs”, *Proc. 7<sup>th</sup> International Symposium on Microelectronics Technologies and Microsystems (MTM 2003)*, Sozopol (Bulgaria), September 2003, pp. 150-155.
- b19. S. Djorić-Veljković, I. Manić, **V. Davidović**, S. Golubović, N. Stojadinović, “Effects of Burn-in Stressing on Post-Irradiation Annealing Response of Power VDMOSFETs”, *Proc. 14<sup>th</sup> European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF 2003)*, Grenoble (France), October 2003, pp. 1455-1460, objavljen i u časopisu *Microelectronics Reliability* rad a11.
- b20. N. Stojadinović, I. Manić, **V. Davidović**, D. Danković, S. Djorić-Veljković, S. Golubović, S. Dimitrijević, “Effects of Electrical Stressing in Power VDMOSFETs” *Proc. 2003 IEEE Conference on Electron Devices and Solid-State Circuits (EDSSC 03)*, Hong Kong, December 2003, pp. 291-296 (invited paper).
- b21. M. Exarchos, D.N. Kouvatso, G.J. Papaioannou, **V. Davidović**, N. Stojadinović, L. Michalas, A.T. Voutsas, “Characterization of Advanced Excimer Laser Crystallized Polysilicon Thin Film Transistors”, *Proc. 24<sup>th</sup> International Conference on Microelectronics (MIEL 2004)*, Niš, May 2004, pp. 697-700.
- b22. S. Djorić-Veljković, I. Manić, **V. Davidović**, S. Golubović, N. Stojadinović, “Burn-in Stressing Effects on Post-Irradiation Annealing Response of Power VDMOSFETs”, *Proc. 24<sup>th</sup> International Conference on Microelectronics (MIEL 2004)*, Niš, May 2004, pp. 701-704.
- b23. N. Stojadinović, I. Manić, **V. Davidović**, D. Danković, S. Djorić-Veljković, S. Golubović, S. Dimitrijević, “Electrical Stressing Effects in Power VDMOSFETs”, *Proc. 7<sup>th</sup> International Seminar on Power Semiconductors (ISPS 2004)*, Prague (Czech Republic), September 2004, pp. 109-114.
- b24. D.N. Kouvatso, **V. Davidović**, G.J. Papaioannou, N. Stojadinović, L. Michalas, M. Exarchos, A.T. Voutsas, D. Gousturidis, “Effects of Hot Carrier and Irradiation Stresses on Advanced Excimer Laser Annealed Polycrystalline Silicon Thin Film Transistors”, *Proc. 15<sup>th</sup> European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF 2004)*, Zurich (Switzerland), October 2004, pp. 1631-1636, objavljen i u časopisu *Microelectronics Reliability* rad a12.
- b25. N. Stojadinović, D. Danković, S. Djorić-Veljković, **V. Davidović**, I. Manić, S. Golubović, “Negative Bias Temperature Instability Mechanisms in p-Channel Power VDMOSFETs”, *Proc. 16<sup>th</sup> European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF 2005)*, Bordeaux (France), October 2005, pp. 1343-1348, objavljen i u časopisu *Microelectronics Reliability* rad a14.
- b26. I. Manić, S. Djorić-Veljković, **V. Davidović**, D. Danković, S. Golubović, N. Stojadinović, “Spontaneous Recovery in DC Gate Bias Stressed Power VDMOSFETs”, *Proc. 25<sup>th</sup> International Conference on Microelectronics (MIEL 2006)*, Belgrade, May 2006, pp. 639-644.
- b27. D. Danković, I. Manić, S. Djorić-Veljković, **V. Davidović**, S. Golubović, N. Stojadinović, “Lifetime Estimation in NBT Stressed p-Channel Power VDMOSFETs”, *Proc. 25<sup>th</sup> International Conference on Microelectronics (MIEL 2006)*, Belgrade, May 2006, pp. 645-648.
- b28. **V. Davidović**, N. Stojadinović, D. Danković, S. Golubović, I. Manić, “Turn-Around of Threshold Voltage in Gate Bias Stressed p-Channel Power VDMOS Transistors”, *Proc. 8<sup>th</sup> International Seminar on Power Semiconductors (ISPS 2006)*, Prague (Czech Republic), September 2006, pp. 85-89.

- b29. D. Danković, I. Manić, S. Djorić-Veljković, **V. Davidović**, S. Golubović, N. Stojadinović, “NBT Stress-Induced Degradation and Lifetime Estimation in p-Channel Power VDMOSFETs”, *Proc. 17<sup>th</sup> European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF 2006)*, Wuppertal (Germany), October 2006, pp. 1828-1833; objavljen i u časopisu *Microelectronics Reliability* rad a15.
- b30. N. Stojadinović, D. Danković, I. Manić, **V. Davidović**, S. Djorić-Veljković, S. Golubović, “Impact of negative bias Temperature Instabilities on lifetime in p-channel power VDMOSFETs”, *Proc. 8<sup>th</sup> International Conference on Telecommunications in Modern Satellite, Cable and Broadcasting Services (TELSIKS'07)*, Niš, September 2007, pp. 275-282 – invited paper
- b31. D. Danković, I. Manić, **V. Davidović**, S. Djorić-Veljković, S. Golubović, N. Stojadinović, “Negative Bias Temperature Instabilities in Sequentially Stressed and Annealed P-Channel Power VDMOSFETs”, *Proc. 18<sup>th</sup> European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF 2007)*, Arcachon (France), October 2007, pp. 1400-1405; objavljen i u časopisu *Microelectronics Reliability* rad a17
- b32. **V. Davidović**, D. N. Kouvatso, N. Stojadinović, A.T. Voutsas, “Influence of Polysilicon Film Thickness on Radiation Response of Advanced Excimer Laser Annealed Polycrystalline Silicon Thin Film Transistors”, *Proc. 18<sup>th</sup> European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF 2007)*, Arcachon (France), October 2007, pp. 1841-1845; objavljen i u časopisu *Microelectronics Reliability* rad a18.
- b33. D. Danković, I. Manić, **V. Davidović**, S. Djorić-Veljković, S. Golubović, N. Stojadinović, “New Approach in Estimating the Lifetime in NBT Stressed P-Channel Power VDMOSFETs”, *Proc. 26<sup>th</sup> International Conference on Microelectronics (MIEL 2008)*, Niš, May 2008, pp. 599-602.
- b34. D. Danković, I. Manić, **V. Davidović**, S. Djorić-Veljković, S. Golubović, N. Stojadinović, “Negative Bias Temperature Stress and Annealing Effects in p-Channel Power VDMOSFETs”, *Proc. 9<sup>th</sup> International Seminar on Power Semiconductors (ISPS 2008)*, Prague (Czech Republic), August 2008, pp. 127-132.
- b35. D. Danković, I. Manić, **V. Davidović**, S. Djorić-Veljković, S. Golubović, N. Stojadinović, “Negative Bias Temperature Instability in n-Channel Power VDMOSFETs”, *Proc. 19<sup>th</sup> European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF 2008)*, Maastricht (The Netherlands), September 2008, pp. 1313-1317; objavljen i u časopisu *Microelectronics Reliability* rad a21.

#### c) Научни радови објављени у домаћим часописима

- c1. N. Stojadinović, I. Manić, V. Davidović, **D. Danković**, S. Djorić-Veljković, S. Golubović, S. Dimitrijević, “Effects of Gate Bias Stressing in Power VDMOSFETs”, *Serbian Journal of Electrical Engineering*, Vol. 1, 2003, pp. 89-101.

#### d) Научни радови саопштени на скуповима националног значаја, штампани у целини

- d1. **V. Davidović**, A. Midić, “Efekti gama zračenja kod CMOS tranzistora”, *Zbornik radova VII Jugoslovenskog savjetovanja o ulozi mikroracunala u sistemima procesnog upravljanja (MIPRO 88)*, Rijeka (SFRJ), Maj 1988, pp. 6-51; objavljen u časopisu *Naučni podmladak*, rad c1.
- d2. N. Janković, **V. Davidović**, “O pokretljivosti šupljina u degenerisanom silicijumu N-tipa”, *Zbornik radova prve srpske konferencije o mikroelektronici MIOPEL '92*, Beograd, 1992, pp. 1.1.9
- d3. **V. Davidović**, “Analiza koeficijenata u modelu za pokretljivost kod ozračenih NMOS tranzistora”, *Zbornik radova 38. konferencije za ETRAN*, Niš, jun 1994, str. 31-32.
- d4. S. Djorić-Veljković, **V. Davidović**, “Analiza efekata gama zračenjem indukovanih naelektrisanja u oksidu i površinskih stanja kod VDMOS tranzistora snage”, *Zbornik radova 39. konferencije za ETRAN*, Zlatibor, jun 1995, str. 139-142.

- d5. S. Djorić-Veljković, S. Golubović, **V. Davidović**, N. Stojadinović, “Uticaj različitih napreznja na formiranje latentnih defekata tokom spontanog oporavka VDMOS tranzistora snage”, *Zbornik radova 43. jugoslovenske konferencije za ETRAN*, Zlatibor, 20-22. septembar 1999, sveska IV, str. 139-141.
- d6. S. Djorić-Veljković, S. Golubović, **V. Davidović**, N. Stojadinović, “Efekti niskih temperatura kod VDMOS tranzistora snage”, *Zbornik radova 44. jugoslovenske konferencije za ETRAN*, Soko Banja, 26-29. jun 2000, sveska IV, str. 185-188.
- d7. I. Manić, **V. Davidović**, Z. Prijjić, N. Stojadinović, Z. Pavlović, “Uticaj  $\gamma$ -zračenja na električne karakteristike VDMOS tranzistora”, *Zbornik radova 44. jugoslovenske konferencije za ETRAN*, Soko Banja, 26-29. jun 2000, sveska IV, str. 201-204.
- d8. N. Stojadinović, I. Manić, S. Golubović, **V. Davidović**, S. Djorić-Veljković, S. Dimitrijević, “Efekti napreznja pozitivnom polarizacijom na gejtju kod VDMOS tranzistora snage”, *Zbornik radova 45. jugoslovenske konferencije za ETRAN*, Bukovička Banja, 4-7. jun 2001, sveska IV, str. 200-203.
- d9. S. Djorić-Veljković, N. Stojadinović, I. Manić, **V. Davidović**, S. Golubović, “Uticaj temperaturno-naponskih testova pouzdanosti na efekte zračenja kod VDMOS tranzistora snage”, *Zbornik radova 45. jugoslovenske konferencije za ETRAN*, Bukovička Banja, 4-7. jun 2001, sveska IV, str. 204-207.
- d10. N. Stojadinović, I. Manić, **V. Davidović**, S. Golubović, S. Djorić-Veljković, “Uticaj električnog napreznja na otpornost VDMOS tranzistora snage na zračenje”, *Zbornik radova 46. konferencije za ETRAN*, Banja Vrućica, 3-6. jun 2002, sveska IV, str. 142-144.
- d11. **V. Davidović**, S. Golubović, I. Manić, D. Danković, N. Stojadinović, S. Djorić-Veljković, S. Dimitrijević, “Primena tehnika za razdvajanje efekata naelektrisanja u oksidu i površinskih stanja kod VDMOS tranzistora snage”, *Zbornik radova 46. konferencije za ETRAN*, Banja Vrućica, 3-6. jun 2002, sveska IV, str. 145-148.
- d12. I. Manić, **V. Davidović**, D. Danković, S. Golubović, N. Stojadinović, S. Djorić-Veljković, S. Dimitrijević, “Efekti napreznja negativnom polarizacijom na gejtju kod VDMOS tranzistora snage”, *Zbornik radova 47. konferencije za ETRAN*, Herceg Novi, 8-13. jun 2003, sveska IV, str. 183-186.
- d13. S. Djorić-Veljković, N. Stojadinović, I. Manić, **V. Davidović**, S. Golubović, “Uticaj temperaturno-naponskih testova pouzdanosti na efekte odžarivanja kod ozračenih VDMOS tranzistora snage”, *Zbornik radova 47. konferencije za ETRAN*, Herceg Novi, 8-13. jun 2003, sveska IV, str. 187-190.
- d14. **V. Davidović**, N. Stojadinović, D. Kouvatso, A. Voutsas, “Efekti naponskog napreznja i jonizujućeg zračenja kod TFT MOS tranzistora”, *Zbornik radova 48. konferencije za ETRAN*, Čačak, 6-10. jun 2004, sveska IV, str. 121-124.
- d15. **V. Davidović**, N. Stojadinović, D. Danković, S. Golubović, I. Manić, S. Djorić-Veljković, S. Dimitrijević, “Turn-around efekat napona praga kod PMOS tranzistora napreznih pozitivnim naponima na gejtju”, *Zbornik radova 49. konferencije za ETRAN*, Budva, 5-10 jun 2005, sveska IV, str. 125-128.
- d16. D. Danković, I. Manić, **V. Davidović**, S. Golubović, N. Stojadinović, S. Djorić-Veljković, “Nestabilnosti P-kanalnog VDMOS tranzistora snage usled naponsko-temperaturnih napreznja sa negativnom polarizacijom gejtja”, *Zbornik radova 49. konferencije za ETRAN*, Budva, 5-10. jun 2005, sveska IV, str. 129-132.
- d17. D. Danković, I. Manić, **V. Davidović**, S. Golubović, N. Stojadinović, S. Djorić-Veljković, “Lifetime evaluation in p-channel power VDMOSFETs under NBT stress”, *Zbornik radova 52. konferencije za ETRAN*, Palić, 8-12. jun 2008, str. MO1.2-1-4.

## е) Монографије

- e.1. Snežana Golubović, Snežana Djorić-Veljković, Ivica Manić, **Vojkan Davidović**: EFEKTI NA-PREZANJA OKSIDA GEJTA VDMOS TRANZISTORA SNAGE, Univerzitet u Nišu, Elektронски fakultet, 2006.

## 2.2. Учешће у пројектима

### ф) Учешће у међународним пројектима

- f1. *Thin and Ultra Thin Layers of SiO<sub>2</sub>, Si<sub>x</sub>N<sub>y</sub>O<sub>z</sub>, and Ta<sub>2</sub>O<sub>5</sub> for the Needs of Nanotechnology* (реализатори: Катедра за микроелектронику Електронског факултета у Нишу, Институт за физику чврстог стања Бугарске академије наука у Софији и Институт за физику Природно-математичког факултета у Скопљу), 2001-2003.
- f2. *Performance, Stress Degradation, and Reliability Characterization of Thin Film Transistors for the Investigation of Defects in Polycrystalline Silicon Films* (реализатори: Катедра за микроелектронику Електронског факултета у Нишу и Институт за микроелектронику Националног центра за научна истраживања "Demokritos" из Атине), 2004-2006.
- f3. *High-k Stack Capacitors for Nanoscale Dynamic Random Access Memories (DRAMs)* (реализатори: Катедра за микроелектронику Електронског факултета у Нишу и Институт за физику чврстог стања Бугарске академије наука у Софији), 2005-2008.

### г) Учешће у домаћим пројектима

- g1. *Полупроводничка микроелектроника и оптоелектроника*, потпројекат *Технологија и физичка електроника* (финансиран од ОЗН региона Ниш), 1986-1990.
- g2. *Развој технологија производње и пројектовања микроелектронских компонента и система*, потпројекат *MOS микроелектронске компоненте снаге* (финансиран од Министарства за науку и технологију Републике Србије), 1991-1995.
- g3. *Микроелектроника, оптоелектроника и микросистемске технологије*, потпројекат *MOS интегрисана кола и компоненте снаге* (финансиран од Министарства за науку и технологију Републике Србије), 1995-2000.
- g4. *Развој производње и пројектовања микроелектронских компонента и система*, потпројекат *Микроелектронске компоненте снаге* (финансиран од Министарства за науку и технологију Републике Србије), 1995-2000.
- g5. *Физика, моделовање и карактеризација диелектричних слојева за MOS наноконпоненте* (финансиран од Министарства науке и заштите животне средине Републике Србије), 2001-2005.
- g6. *Физика, моделовање и карактеризација појава у танким слојевима код MOS наноконпонента* (финансиран од Министарства науке и заштите животне средине Републике Србије), 2006-2010.

## 2.3. Способност за наставно-педагошки рад

Мр Војкан Давидовић је у свом досадашњем раду са студентима као асистент Електронског факултета успешно изводио рачунске и лабораторијске вежбе из предмета *Електронске компоненте, Основи микроелектронике, Карактеризација компонента, Физичка електроника, Физика, Интегрисани микросистеми, Физика и дијагностика отказа, Физика отказа микроелектронских компонента и Пројектовање VLSI система*. Његов наставни рад увек је добијао високе оцене студената, при чему треба посебно истаћи спремност да помогне студентима



у процесу савлађивања наставне материје, како кроз савремене облике саопштавања градивне материје, тако и кроз свакодневне консултације.

Као члан научно-истраживачког тима ангажованог на заједничким научним пројектима, мр Војкан Давидовић је, осим што је показао јаке индивидуалне квалитете, остварио и веома успешну сарадњу са колегама, која је допринела заједничком научном и стручном усавршавању, о чему сведочи списак објављених научних радова. Мр Војкан Давидовић је при томе показао посебну способност да студенте уведе у процес научно-истраживачког рада у областима којима се бави. Тако је значајно помогао неколицини студената у изради њихових дипломских радова.

### 3. ПОДАЦИ О ОБЈАВЉЕНИМ НАУЧНИМ РАДОВИМА

#### а) Број објављених радова

Научни радови објављени у међународним часописима	.....21
Научни радови објављени у домаћим часописима	.....1
Научни радови саопштени на међународним научним скуповима, штампани у целини	.....27
Научни радови саопштени на скуповима националног значаја, штампани у целини	.....17
УКУПАН БРОЈ НАУЧНИХ РАДОВА *	..... 66

#### б) Анализа научних радова

Главни предмет истраживања мр Војкана Давидовића били су ефекти зрачења, оджаривања, напонских и напонско-температурних напрезања оксида гејта код VDMOS (Vertical Double-Diffused Metal-Oxide-Semiconductor) транзистора снаге домаћег (Ei-Niš: EFL1N10 и EFL1N15) и иностраног произвођача (International Rectifier: IRF510 и IRF9520). Такође, предмет истраживања били су и савремени TFT (Thin Film Transistors) MOS транзистори иностраног произвођача Sharp. Научни радови које је кандидат објавио у овом периоду могу се, према проблематици која се у њима разматра, разврстати у пет група:

**Прва група радова** (радови а3, а5, б2, б5, б8, д3, д7) односи се на моделовање деградације покретљивости носилаца у каналу МОС транзистора услед утицаја јонизујућег зрачења. Из ове групе радова треба истаћи следећи оригинални научни резултат:

- Показано је да коефицијенте у оригиналном моделу за утицај наелектрисања у оксиду и површинских стања на покретљивост носилаца треба кориговати када се моделује утицај јонизујућег зрачења. Кориговани коефицијенти довели су до задовољавајућег слагања моделоване покретљивости са експерименталним резултатима

**Друга група радова** (радови а4, б3, б4, б6) односи се на истраживање ефеката снижених температура на електричне карактеристике VDMOS транзистора снаге, као и утицај оваквог напрезања на понашање компонената током зрачења. Из ове групе радова треба истаћи следеће оригиналне научне и стручне резултате:

- Показано је да су механизми нестабилности карактеристика и параметара услед излагања компонената сниженим и ниским температурама веома слични оним који су одговорни за ефекте јонизујућег зрачења, при чему су ефекти снижених и ниских температура знатно мање изражени.

---

\* Радови б16, б19, б24, б25, б29, б31, б32 и б35, који су саопштени на научном скупу ESREF и штампани у одговарајућим зборницима радова, су такође објављени у часопису *Microelectronics Reliability* и истоветни су са радовима а9, а11, а12, а14, а15, а17, а18 и а21, респективно. Због тога је сваки од наведених парова радова при израчунавању укупног броја радова рачунат само као један рад.

- Показано је да претходно излагање компонената сниженим и ниским температурама доводи до одређеног појачања ефеката јонизујућег зрачења на параметре (нешто већа промена напона прага и деградација покретљивости)
- Указано је на значај испитивања стабилизације карактеристика и параметара компонената приликом њиховог излагања ниским температурама (хлађење до 77К), као и после прекида напрезања (достизање собне температуре)

**Трећа група радова** (радови а6, а9, а13, а16, а19, а20, b11 ÷ b14, b16 ÷ b18, b20, b23, b26, b28, c1, d10, d12, d15) односи се пре свега на истраживање ефеката напрезања оксида гејта VDMOS транзистора јаким електричним пољем и анализу механизма одговорних за промене у густинама наелектрисања захваћеног у оксиду и површинских стања током напрезања и спонтаног опоравка ових компонената. Наведено истраживање довело је до већег броја оригиналних научних и стручних резултата, од којих треба истаћи следеће:

- Показано је да електрично напрезање доводи до значајних промена напона прага и велике деградације покретљивости носилаца у каналу и код домаћих и код иностраних n-каналних VDMOS транзистора. Сходно томе, код обе врсте истраживаних компонената долази и до веома изражених промена у густинама позитивног наелектрисања у оксиду и површинских стања. При том су све појаве израженије и брже се одвијају при вишим напонима напрезања.

- Показано је да напрезање негативним напонима на гејту изазива брже почетно опадање напона прага и покретљивости, док су коначне промене ових параметара, а нарочито напона прага, веће у случају напрезања одговарајућим позитивним напонима. Појава *turn-around*-а и значајног *rebound*-а напона прага код узорака напрезаних позитивним напонима последица је драматичног пораста густине површинских стања, до кога долази након што се уз међуповршину  $SiO_2-Si$  нагомила довољна количина захваћеног позитивног наелектрисања. Осим тога, показано је да електрично напрезање у општем случају доводи до значајнијих промена напона прага код транзистора EFL1N15, док је деградација покретљивости нешто већа код транзистора IRF510.

- Предложен је и детаљно образложен модел механизма одговорних за уочене ефекте електричног напрезања. У случају позитивне поларизације гејта током напрезања, показано је да тунеловање електрона са енергетског нивоа тровалентних атома силицијума ( $\equiv Si_o^\cdot$  дефекти) у проводну зону оксида представља доминантан механизам којим се у оксиду формира позитивно наелектрисање. Тунеловање шупљина са овако формираних позитивно наелектрисаних  $\equiv Si_o^+$  дефеката на нивое  $\equiv Si_s - H$  прекурсора, које доводи до њихове дисоцијације, доминантан је механизам којим се потом формирају површинска стања. У случају негативне поларизације гејта током напрезања, показано је да тунеловање шупљина из валентне зоне супстрата на дубљи енергетски ниво ваканција кисеоника ( $\equiv Si_o^{\cdot\cdot} Si_o^\equiv$  дефекти) у оксиду близу међуповршине представља доминантан механизам формирања захваћеног позитивног наелектрисања, док се површинска стања формирају реакцијом између овако насталих  $\equiv Si_o^{\cdot\cdot} Si_o^\equiv$  дефеката и  $\equiv Si_s - H$  прекурсора. У оба случаја, у близини међуповршине ослобађа се атомски водоник који додатно доприноси порасту густине површинских стања кроз дисоцијацију  $\equiv Si_s - H$  прекурсора. Осим тога, показано је да је драматичан пораст густине површинских стања у случају позитивне поларизације гејта, који доводи до *rebound*-а напона прага, последица цикличног понављања поменутих процеса тунеловања носилаца у које могу да буду укључени  $\equiv Si_o^\cdot$  дефекти не само близу међуповршине  $SiO_2-Si$ , него и они који су удаљени од ње. С друге стране, у случају негативне поларизације, нижа баријера и краће растојање за тунеловање шупљина омогућавају брже одвијање процеса на почетку, али је зато пораст густине површинских стања у каснијој фази напрезања ограничен концентрацијом расположивих  $\equiv Si_o^{\cdot\cdot} Si_o^\equiv$  дефеката у близини међуповршине.

- Показано је да дуготрајни спонтани опоравак напрезаних VDMOS компонената резултује извесним побољшањем њихових електричних параметара, али да вредности напона прага ипак остају прилично различите од почетних, а покретљивост носилаца у каналу и даље веома деградирана. Најинтензивније промене у густинама наелектрисања у оксиду и површинских стања одвијају се у почетној фази опоравка; при томе, примена техника заснованих на

натпраговским и потпраговским карактеристикама указује да ове густине углавном опадају, а да само у неким случајевима бележе извештан пораст. Показано је да овакво понашање може да буде последица комбинованог дејства неких од механизма који су били одговорни и за ефекте напрезања (а којима релативно јако електрично поље услед захваћеног наелектрисања омогућава деловање и у почетној фази опоравка) и механизма повезаних са присуством јако реактивног водоника ослобођеног током напрезања. Локално поље временом слаби, па реакције са водоником добијају на значају, при чему оне које воде неутрализацији захваћеног наелектрисања и пасивизацији површинских стања преузимају благу доминацију. С друге стране, применом тзв. *charge pumping* технике показано је да густина правих површинских стања у почетној фази опоравка значајно расте, при чему је овај пораст претежно последица њихове прерасподеле унутар забрањене зоне супстрата. Поред тога, овом техником јасно је показано да период у коме дисоцијација  $\equiv Si_s - H$  прекурсора доминира над пасивизацијом површинских стања траје знатно дуже у случајевима у којима претходно напрезање произведе само мали пораст густине површинских стања, чиме је ово истраживање потврдило да пресудну улогу у процесима који се одигравају током дуготрајног опоравка има водоник ослобођен у току претходног напрезања.

- Експлицитно је показано да електрично напрезање ни у ком случају није применљиво као техника за повећање отпорности комерцијалних MOS транзистора снаге на зрачење, али је и указано на реалну могућност његове примене у тестовима квалификације комерцијалних компонента за примену у радијационом окружењу.

- Показано је да *turn-around* напона прага, који се типично јавља код *n*-каналних MOS транзистора изложених различитим видовима напрезања, може да се јави и код *p*-каналних компонента. Ефекат је уочен код *p*-каналних VDMOS транзистора снаге IRF9520 напрезаних применом високих позитивних напона на гејт, а јавља се као последица сложених процеса који се током напрезања одигравају у оксиду и на међуповршини. Показано је да постоји строга корелација између промена у густинама наелектрисања у оксиду и површинских стања и указано да кључну улогу у појави ефекта вероватно играју гранични центри захвата.

**Четврта група радова** (радови a14, a15, a17, a21, b25, b27, b29, b30, b31, b33, b34, b35, d16, d17), бави се нестабилностима услед напонско-температурних напрезања са негативном и позитивном поларизацијом гејта (NBTI, од израза *Negative Bias Temperature Instabilities* и PBTI, од израза *Positive Bias Temperature Instabilities*) истраживаних код комерцијалних VDMOS транзистора снаге IRF9520 (*p*-канални) и IRF510 (*n*-канални). Ово истраживање обухвата анализу промена напона прага и одговарајућих промена у густинама наелектрисања у оксиду и површинских стања током напрезања, анализу механизма одговорних за уочену деградацију, као и могуће импликације на поузданост VDMOS транзистора снаге. На основу експерименталних података и одговарајућих модела процењен је и радни век компонента за различите услова рада (поларизација и температура).

Најзначајнији резултати овог истраживања код *p*-каналних VDMOS транзистора снаге су:

- Показано је да NBT напрезања *p*-каналних VDMOS транзистора снаге узрокују значајне промене напона прага, при чему су ове промене израженије (и брже и веће) при вишим напонима и/или температурама. Промене напона прага са временом напрезања одвијају се по закону  $t^n$ , при чему се, зависно од вредности параметра *n*, уочавају три различите фазе. У првој фази, параметар *n* значајно зависи од напона и температуре и налази се у опсегу 0.4–1.14. У другој фази, напон прага мења се по добро познатом закону  $t^{0.25}$ , при чему параметар  $n \approx 0.25$  скоро да не зависи од примењеног напона и температуре. У трећој фази, параметар *n* поново постаје зависан од напона и температуре и постепено се смањује од 0.25 до 0.14, а напон прага улази у zasiћење. Са друге стране, показано је да PBT напрезања *p*-каналних VDMOS транзистора снаге узрокују занемарљиве промене напона прага.

- Сагласно уоченим променама напона прага, NBT напрезања *p*-каналних VDMOS транзистора снаге доводе и до значајних промена у густинама позитивног наелектрисања у оксиду и површинских стања, које су израженије при вишим напонима и/или температурама. Промене у

густини наелектрисања у оксиду су много веће од промена у густини површинских стања током све три фазе напрезања, независно од напона и температуре. Такође, утврђено је да густина површинских стања расте брже од густине наелектрисања у оксиду у почетној фази, али губи на динамици и успорава у другој фази и брже улази у засићење, као и да повећање напона и/или температуре примењених током напрезања има много већи утицај на промене густине наелектрисања у оксиду него на промене густине површинских стања. На основу овога закључено је да је промена напона прага по закону  $t^{0.25}$  првенствено последица формирања наелектрисања у оксиду. На крају, показано је да је формирање граничних центара захвата током NBT напрезања р-каналних VDMOS транзистора снаге занемарљиво.

- Показано је да се наелектрисања у оксиду и површинска стања формирају путем различитих електрохемијских реакција између дефеката и реактивних честица које садрже водоник у различитом облику ( $H^{\bullet}$ ,  $H^+$ ,  $H_2$ ,  $OH$  и  $H_2O$ ). На самом почетку напрезања, под утицајем електричног поља брзо се формира позитивно наелектрисање у оксиду захватањем расположивих шупљина на дефектима у оксиду, а процес је потпомогнут и раскидањем слабих  $\equiv Si_o-H$  веза у близини међуповршине. Брз почетни пораст густине површинских стања објашњен је трансформацијом наелектрисања у оксиду у површинска стања и процесом дисоцијације најслабијих  $\equiv Si_s-H$  веза на међуповршини  $SiO_2-Si$  под утицајем електричног поља. Чињеница да густина површинских стања брже улази у засићење (већ у другој фази) објашњена је пасивизацијом коју врше молекули воде пристигли из унутрашњости кућишта и/или слојева који належу на оксид гејта (поликристални гејт, пасивизација). Густина наелектрисања у оксиду такође улази у засићење, али тек у трећој фази напрезања, што указује да је механизам ограничен количином расположивих реактаната. Прорачун вредности активационе енергије промена напона прага изазваних напрезањем и одговарајућих промена у густинама наелектрисања у оксиду гејта и површинских стања омогућио је да се утврди доминантан процес у свакој фази напрезања појединачно.

- Показано је да се коришћењем модела растегнуте експоненцијалне функције на основу мерења од пар хиљада сати може одредити промена напона прага која би се код узорака јавила чак и након десет година NBT напрезања. Такође, показано је да постојећи модели за процену радног века екстраполацијом дуж напонске осе дају различите резултате, тако да се јавља широк опсег неодређености у времену живота (три реда величине) и максималном дозвољеном напону на гејту (око 13 V). При том, утврђено је да се ове неодређености повећавају са удаљавањем од напонског опсега у коме су вршена напрезања, као и да у многome зависе од вредности изабраног критеријума отказа. Осим тога, постојећи модели за екстраполацију дуж напонске осе омогућавају процену радног века за произвољни напон, али само на температурама које су примењене, па је стога развијен и предложен одговарајући модел за екстраполацију дуж температурне осе, који омогућава предвиђање радног века за произвољну температуру. Предложени модел предвиђа радни век само при напонима коришћеним у експерименту, али је показано да комбинована примена предложеног и неког од постојећих напонских модела омогућава предвиђање радног века истраживаних компонената за произвољну комбинацију радног напона и температуре.

- Показано је да оджаривање NBT напрезаних р-каналних VDMOS транзистора снаге при негативној поларизацији гејта не доводи до промена напона прага. Са друге стране, оджаривање без поларизације или уз позитивну поларизацију гејта узрокује опоравак напона прага до 50%. Опоравак је израженији при оджаривању уз позитивну поларизацију гејта.

Најзначајнији резултати овог истраживања код п-каналних VDMOS транзистора снаге су:

- Показано је да NBT напрезања п-каналних VDMOS транзистора снаге узрокују значајне промене напона прага које су (по апсолутној вредности) идентичне променама напона прага добијеним код напрезаних р-каналних транзистора, што није у складу са бројним подацима из литературе. С друге стране, PBT напрезање п-каналних VDMOS транзистора снаге, као и у случају р-каналних компонената, узрокују занемарљиве промене напона прага.

- Сагласно уоченим променама напона прага, NBT напрезања п-каналних VDMOS транзистора снаге доводе и до значајних промена у густинама позитивног наелектрисања у оксиду и

површинских стања, које су израженије при вишим напонима и/или температурама. Промене у густини наелектрисања у оксиду су много веће од промена у густини површинских стања независно од напона и температуре. Осим тога, утврђено је да су промене у густинама наелектрисања у оксиду и површинских стања током NBT напрезања значајно веће код n-каналних него код p-каналних VDMOS транзистора снаге. На крају, показано је да NBT напрезање n-каналних VDMOS транзистора доводи до формирање значајне густине граничних центара захвата.

- Показано је да се формирање наелектрисања у оксиду и површинска стања током NBT напрезања n-каналних VDMOS транзистора снаге може објаснити идентичним електрохемијским реакцијама између дефеката и реактивних честица као и код p-каналних транзистора.

- Показано је да оджаривање NBT напрезаних n-каналних VDMOS транзистора снаге при негативној поларизацији гејта доводи до незнатних промена напона прага. Са друге стране, оджаривање при нултој поларизацији значајно смањује промене напона прага, док при позитивној поларизацији гејта долази чак и до *rebound*-а напона прага. *Rebound* напона прага објашњен је трансформацијом наелектрисања у оксиду у површинска стања. Укупан опсег промена напона прага током NBT напрезања и каснијег оджаривања већи је код n-каналних него код p-каналних VDMOS транзистора снаге. Овим је јасно указано да, уколико n-каналне VDMOS компоненте у било којој фази експлоатације буду изложене повишеној температури и негативном напону на гејту, резултујућа нестабилност може бити већа него у случају сличних p-каналних компоненти.

**Пета група радова** (радови a12, a18, b21, b24, b32, d14), односи се на истраживање ефеката напонског напрезања и јонизујућег зрачења код савремених TFT (*Thin Film Transistors*) MOS транзистора са посебним нагласком на утицај квалитета полисилицијумског филма у коме се израђују ове компоненте. Из ове групе радова треба истаћи следеће оригиналне научне резултате:

- Показан је висок квалитет кристализованог филма, реализованог латералним очвршћавањем ласерски оджареног полисилицијумског филма, у односу на ефекте напрезања врућим носиоцима и гама зрачењем, што указује на могућност израде квалитетних TFT транзистора и интегрисаних кола на таквим филмовима. Такође, показано је да зрачење доводи до генерисања наелектрисања у оксиду и површинских стања, које је појачано електричним пољем услед поларизације гејта.

- Истраживања на полисилицијумским филмовима различите дебљине довела су до закључка да најбољи квалитет има филм дебљине 50nm, који је довољно дебео да кварцна подлога на коју је нанесен нема јак утицај на његову кристаличност, а у исто време и довољно танак тако да га ласер може лако истопити и да при томе очврсне у квалитетна поликристална зрна.

- Предложен је начин одређивања густине наелектрисања у оксиду и површинских стања код TFT транзистора реализованих на интринсичном полисилицијумском супстрату без издвојеног контакта. Модел је добијен адаптацијом *Subthreshold Midgap* методе која се стандардно користи као карактеризациона метода код класичних MOS транзистора.

## ц) Цитираност радова

a9. N. Stojadinović, I. Manić, S. Djorić-Veljković, V. Davidović, D. Danković, S. Golubović, S. Dimitrijević, "Mechanisms of Spontaneous Recovery in Positive Gate Bias Stressed Power VDMOSFETs", *Microelectron. Reliab.*, Vol. 42, 2002, pp. 1465-1468.

цитирали су:

1. A. Aal, "A procedure for reliability control and optimization of mixed-signal smart power CMOS processes", *Microelectronics Reliability*, vol. 43, pp. 1395-1400 (2003).
2. C. Pennetta, E. Alfinito, L. Reggiani, F. Fantini, I. DeMunari, and A. Scorzoni, "Biased resistor network model for electromigration failure and related phenomena in metallic lines", *Physical Review B*, vol. 70, pp. 174305-1-174305-14 (2004).

- a13. N. Stojadinović, I. Manić, **V. Davidović**, D. Danković, S. Djorić-Veljković, S. Golubović, S. Dimitrijević, "Effects of Electrical Stressing in Power VDMOSFETs", *Microelectron. Reliab.*, Vol. 45, 2005, pp. 115-122.

цитирали су:

1. M. Alwan, B. Beydoun, K. Ketata, M. Zoeter, "Bias Temperature Instability from Gate Charge Characteristics Investigations in N-Channel Power MOSFET", *Microelectronics Journal*, vol. 38, pp. 727-734 (2007).
2. R. Habchi, C. Salame, P. Mialhe, A. Khoury, "Switching Times Variation of Power MOSFET Devices After Electrical Stress", *Microelectronics Reliability*, vol. 47, no. 8, pp. 1296-1299 (2007).

- a14. N. Stojadinović, D. Danković, S. Djorić-Veljković, **V. Davidović**, I. Manić, and S. Golubović "Negative bias temperature instabilities in p-channel power VDMOSFETs", *Microelectron. Reliab.*, Vol. 45, 2005, pp. 1343-1348.

цитирали су:

1. J.H. Stathis and S. Zafar, "The Negative Bias Temperature Instability in MOS Devices: A Review", *Microelectronics Reliability*, vol. 46, pp. 270-286 (2006).
2. D. Lachenal, Y. Rey-Tauriac, L. Boissonnet, A. Bravaix, "Reliability Investigation of NLDEMOS in 0.13  $\mu\text{m}$  SOI CMOS Technology" *Proc. 25<sup>th</sup> International Conference on Microelectronics (MIEL '06)*, Beograd, pp.593-596 (2006)
3. L. Michalas, M.A. Exarchos, G.J. Papaioannou, D.N. Kouvatso and A.T. Voutsas, "Physics and Electrical Characterization of Excimer Laser Crystallized Polysilicon TFTs", *Proc. 25th International Conference on Microelectronics (MIEL '06)*, Beograd, pp. 597-600 (2006).
4. R. Entner, T. Grasser, H. Enichlmair, R. Minixhofer, "Negative Bias Temperature Instability Modeling for High Voltage Oxides at Different Stress Temperatures", *14th Workshop on Dielectrics in Microelectronics Workshop Programme and Abstracts (WODIM'06)*, Catania, pp. 96-97 (2006).
5. R. Entner, T. Grasser, H. Enichlmair, R. Minixhofer, "Influence of Interface and Oxide Traps on Negative Bias Temperature Instability", *Abstracts IEEE 2006 Silicon Nanoelectronics Workshop*, Honolulu, pp. 163-164 (2006).
6. M. Alwan, B. Beydoun, K. Ketata, M. Zoeter, "Bias Temperature Instability from Gate Charge Characteristics Investigations in N-Channel Power MOSFET", *Microelectronics Journal*, vol. 38, pp. 727-734 (2007).
7. M. Alwan, B. Beydoun, K. Ketata, M. Zoeter, "Gate Charge Behaviours in N-Channel Power VDMOSFETs During HEF and PBT Stress", *Microelectronics Reliability*, vol. 47, pp. 1406-1410 (2007).
8. T. Grasser S. Sellberherr, "Modeling of Negative Bias Temperature Instability", *Journal of Telecommunications and Information Technology*, vol. 2, pp. 92-102 (2007) – invited paper

- a15. D. Danković, I. Manić, S. Djorić-Veljković, **V. Davidović**, S. Golubović and N. Stojadinović, "NBT stress-induced degradation and lifetime estimation in p-channel power VDMOSFETs", *Microelectron. Reliab.*, Vol. 46, 2006, pp. 1828-1833.

цитирали су:

1. M. Alwan, B. Beydoun, K. Ketata, M. Zoeter, "Bias Temperature Instability from Gate Charge Characteristics Investigations in N-Channel Power MOSFET", *Microelectronics Journal*, vol. 38, pp. 727-734 (2007).

#### 4. МИШЉЕЊЕ О ИСПУЊЕНОСТИ УСЛОВА ЗА ИЗБОР

На основу анализе научних, стручних и наставно-педагошких активности кандидата, може се закључити да је мр Војкан Давидовић постигао значајне резултате како у области наставног процеса, тако и у научном раду. Као асистент Електронског факултета, са успехом је држао рачунске и лабораторијске вежбе из девет предмета. До сада је, као аутор или коаутор, објавио 66 научних радова у међународним и домаћим часописима и зборницима реномираних научних скупова у земљи и иностранству, који садрже већи број оригиналних научних доприноса значајних за развој научне области у којој конкурише за избор у звање. Осим богатог искуства у научним истраживањима, кандидат је стекао и завидну способност за увођење студената у научно-истраживачки рад.

Према томе, мишљења смо да мр Војкан Давидовић испуњава све услове предвиђене Законом о универзитету Републике Србије за избор у звање асистент.

## **5. ПРЕДЛОГ ЗА ИЗБОР КАНДИДАТА У ОДРЕЂЕНО ЗВАЊЕ**

На основу свега напред изложеног може се закључити да мр Војкан Давидовић испуњава све услове предвиђене Законом о универзитету Републике Србије и Статутом Електронског факултета у Нишу за избор у звање асистент за научну област за коју је конкурисао. Стога, предлажемо Изборном већу Електронског факултета у Нишу да изабере мр Војкана Давидовића у звање асистент за ужу научну област *Микроелектроника и микросистеми*.

У Нишу, 03. 07. 2009.

Чланови Комисије:

1. Проф. др Стојан Ристић, Електронски факултет Ниш, с. р.
2. Доц. др Ивица Манић, Електронски факултет Ниш, с. р.
3. Доц. др Зоран Павловић, Природно-математички факултет у Нишу, с.р.