

IZBORNOM VEĆU ELEKTRONSKOG FAKULTETA U NIŠU

Na osnovu odluke Naučno-stručnog veća za tehničko-tehnološke nauke Univerziteta u Nišu broj 8/20-01-002/09-006 od 09.03.2009. godine, imenovana je Komisija za pisanje izveštaja o prijavljenim kandidatima na konkursu za izbor jednog nastavnika u zvanje vanredni ili redovni profesor za užu naučnu oblast Elektronika na Elektronskom fakultetu u Nišu po konkursu od 15.04.2008. godine u sledećem sastavu:

1. dr Mile Stojčev, redovni profesor Elektronskog fakulteta u Nišu,
2. dr Jovan Đorđević, redovni profesor Elektrotehničkog fakulteta u Beogradu,
3. dr Branislav Petrović, redovni profesor Elektronskog fakulteta u Nišu.

Na osnovu uvida u priloženi konkursni materijal, Komisija podnosi sledeći

I Z V E Š T A J

Na konkurs objavljen u dnevnom listu "Narodne novine" od 28.01.2009. godine prijavio se samo jedan kandidat, dr Goran Lj. Đorđević, vanredni profesor Elektronskog fakulteta u Nišu.

1. BIOGRAFSKI PODACI

a) Lični podaci

Dr Goran Lj. Đorđević rođen je 15.06.1964. godine u Nišu. Stalno mesto boravka mu je u Nišu.

b) Podaci o dosadašnjem obrazovanju

Osnovnu i srednju školu završio je u Nišu sa odličnim uspehom. Elektronski fakultet u Nišu upisao je školske 1983/84 godine, a diplomirao 1989. godine na smeru za Računarsku tehniku i informatiku sa prosečnom ocenom u toku studija 8.88 i ocenom 10 na diplomskom ispitu. Poslediplomske studije na smeru za Elektroniku, na Elektronskom fakultetu u Nišu završio je 1994. god., odbranivši magistarsku tezu pod nazivom "Interprocesorski komunikacioni interfejs za prenos poruka preko zajedničkih memorijskih modula". Doktorsku disertaciju pod nazivom "Planiranje izvršenja zadataka kod MIMD sistema tehnikom ulančavanja" odbranio je 1998. godine na Elektronskom fakultetu u Nišu.

c) Profesionalna karijera

Od 1990. godine radi na Elektronskom fakultetu u Nišu kao asistent-pripravnik pri Katedri za Elektroniku. U zvanje asistent izabran je 1995. godine. Kandidat dr Goran Đorđević je u toku asistentskog staža bio angažovan u izvođenju računskih i laboratorijskih vežbi iz predmeta Digitalna elektronika, Elektronika II i Projektovanje elektronskih sistema.

U zvanje docent za užu naučnu oblast Elektronika na Elektronskom fakultetu u Nišu izabran je 1999. godine. U toku ovog izbornog perioda bio je angažovan u izvođenju nastave iz predmeta Projektovanje mikroprocesorskih sistema i Arhitekture mikrosistema.

U zvanje vanredni profesor za užu naučnu oblast Elektronika na Elektronskom fakultetu u Nišu izabran je 2004. godine. U toku ovog izbornog perioda bio je angažovan u izvođenju nastave na osnovnim, diplomskim i doktorskim studijama iz predmeta: Arhitekture

mikrosistema, Internet i veb tehnologije, Programabilna digitalna kola i Programiranje industrijskih kontrolera.

U toku svog naučno-istraživačkog rada bio je učesnik više naučnih i tehnoloških projekata finansiranih od strane Ministarstvo za nauku Republike Srbije.

2. PREGLED I MIŠLJENJE O DOSADAŠNJEM NAUČNOM I STRUČNOM RADU KANDIDATA

a) Radovi objavljeni u časopisima međunarodnog značaja

- a1. M. D. Krstic, M. K. Stojcev, **G. Lj. Djordjevic**, I. D. Andrejic, „*A Mid-Value Select Voter*“, Microelectronics Reliability, Elsevier Ltd, Vol. 45, No. 3-4, pp.733-738, March-April 2005. ISSN: 0026-2714. <http://dx.doi.org/10.1016/j.microrel.2004.07.006> (M22)
- a2. **G. Lj. Djordjevic**, M. K. Stojcev, T. R. Stankovic, „*Approach to partially self-checking combinational circuit design*“, Microelectronics Journal, Elsevier Ltd, Vol. 35, No. 12, pp. 945-952, December 2004. ISSN: 0026-2692. <http://dx.doi.org/10.1016/j.mejo.2004.07.007> (M23)

Pre izbora u zvanje vanredni profesor:

- a3. M. K. Stojčev, **G. Lj. Djordjevic**, T. R. Stanković, „*Implementation of self-checking two-level combinational logic on FPGA and CPLD circuits*“, Microelectronics Reliability, Vol. 44, No. 1, Elsevier Inc, pp. 173-178, January 2004. ISSN: 0026-2714 [http://dx.doi.org/10.1016/S0026-2714\(03\)00377-9](http://dx.doi.org/10.1016/S0026-2714(03)00377-9) (M23)
- a4. M. K. Stojcev, **G. Lj. Djordjevic**, M.D. Krstic, „*A hardware mid-value select voter architecture*“, Microelectronics Journal, Vol. 32, No. 2, pp. 149-162, 2001. ISSN: 0026-2692. [http://dx.doi.org/10.1016/S0026-2692\(00\)00114-2](http://dx.doi.org/10.1016/S0026-2692(00)00114-2) (M23)
- a5. B.Vasic, **G. Lj. Djordjevic**, M.Tosic, „*Loose Composite Constraint Codes and Their Application in DVD*“, IEEE Journal of Selected Area in Communications, Vol. 19, No. 4, pp. 765 –773, April 2001. ISSN: 0733-8716. <http://dx.doi.org/10.1109/49.920184> (M21)
- a6. M. K. Stojcev, **G. Lj. Djordjevic**, E. I. Milovanovic, I. Z. Milovanovic, „*Data reordering converter: an interface block in a linear chain of processing arrays*“, Microelectronics Journal, Elsevier Inc, Vol. 31, No. 1, pp. 23-37, 2000. ISSN: 0026-2692 [http://dx.doi.org/10.1016/S0026-2692\(99\)00086-5](http://dx.doi.org/10.1016/S0026-2692(99)00086-5) (M23)
- a7. M. Totic, M. Stojcev, D. Maksimovic, **G. Lj. Djordjevic**, „*The asynchronous counterflow pipeline bit-serial multiplier*“, Journal of System Architecture, Elsevier B.V, Vol. 44, No. 12, pp. 985-1004, 1998. ISSN: 1383-7621. [http://dx.doi.org/10.1016/S1383-7621\(97\)00046-5](http://dx.doi.org/10.1016/S1383-7621(97)00046-5) (M23)
- a8. **G. Lj. Djordjevic** and M. B. Totic, „*A heuristic for scheduling task graphs with communication delays onto multiprocessors*“, Parallel Computing, Elsevier Science B.V., Vol. 22, No. 9, pp. 1197-1214. 1996. ISSN: 0167-8191. [http://dx.doi.org/10.1016/S0167-8191\(96\)00041-5](http://dx.doi.org/10.1016/S0167-8191(96)00041-5) (M22)
- a9. **G. Lj. Djordjevic**, M.B. Totic, „*A compile-time scheduling heuristic for multiprocessor architectures*“, The Computer Journal, Oxford University Press, Vol.39, No.8, pp 663-674, 1996. ISSN: 0010-4620. <http://dx.doi.org/10.1093/comjnl/39.8.663>. (M23)
- a10. **G. Lj. Djordjevic**, M.K. Stojcev, „*An interprocessor communication interface for message passing via shared memory modules - design and performances*“, Computers and Artificial Intelligence, Slovak Academic Press Ltd, Vol. 15, No. 1, pp. 1-33., 1996, ISSN 1335-9150. <http://www.cai.sk/> (M23)

b) Radovi objavljeni u časopisima nacionalnog značaja

- b1. T. R. Stankovic, M. K. Stojcev, **G. Lj. Djordjevic**, “*Design of Totally Self-Checking Combinational Circuits Based on VHDL Description*”, ETF Journal of Electrical Engineering, A Publication of the EE Department, University of Montenegro, Vol. 12, No. 1, pp. 153–161, May 2004. YU ISSN 0353-5207. **(M51)**
- b2. T. R. Stankovic, M. K. Stojcev, **G. Lj. Djordjevic**, “*On VHDL Synthesis of Self-Checking Two-Level Combinational Circuits*”, Facta Universitatis (Nis), Series: Electronics and Energetics, Vol. 17, No. 1, pp. 69-80, April 2004. YU ISSN 0353-3670. <http://factae.elfak.ni.ac.yu/fu2k41/7ts.html> **(M51)**

Pre izbora u zvanje vanredni profesor:

- b3. B.Vasic, **G.Djordjevic**, M.Tosic, “*EFM++ an Efficient Coding Format For DVD*”, Facta Universitatis (Nis), Series: Electronics and Energetics, Vol. 13, No. 3, December 2000, 263—296. YU ISSN 0353-3670. <http://factae.elfak.ni.ac.yu/fu2k03/fu01.html> **(M51)**
- b4. M. K. Stojcev, M. Krstic, **G. Lj. Djordjevic**, I. Andrejic, “*Hardware voter architecture with implemented Hamming code logic*”, Electronics, University of Banja Luka, YU ISSN: 1450-5843, Vol. 4, No. 2, Dec. 2000., pp. 36-40. YU ISSN 1450-5843. **(M51)**

c) Radovi saopštene na skupovima međunarodnog značaja štampani u celini

- c1. T. R. Nikolic, **G. Lj. Djordjevic**, and M. K. Stojcev, “*Simultaneous Data Transfers over Peripheral Bus Using CDMA Technique*”, Proc. 26th International Conference on Microelectronics (MIEL 2008), Niš, Serbia, 11-14 May, 2008, pp. 437-440. **(M33)**
- c2. T. R. Nikolic, **G. Lj. Djordjevic**, and M. K. Stojcev, “*Low Power Application Specific Processing Element*”, XLII International Scientific Conference on Information, Communication and Energy Systems and Technologies, ICEST 2007, ISBN: 9989-786-06-2, vol. 1, pp. 135-138, Ohrid, 24-27 June 2007. **(M33)**
- c3. M. D. Jovanovic, **G. Lj. Djordjevic**, *TFMAC: Multi-channel MAC Protocol for Wireless Sensor Networks*, in Proc. of 8-th International Conference on Telecommunications in Modern Satellite, Cable and Broadcasting Services (TELSIKS), Nis, Serbia, September 2007, pp. 23-26. **(M33)**
- c4. D. B. Stankovic, M. K. Stojcev, and **G. Lj. Djordjevic**, *Power Reduction Technique for Successive-Approximation Analog-to-Digital Converters*, in Proc. of 8-th International Conference on Telecommunications in Modern Satellite, Cable and Broadcasting Services (TELSIKS), Nis, Serbia, September 2007, pp. 355-358. **(M33)**
- c5. **G. Lj. Djordjevic**, T. R. Stankovic, M. K. Stojcev, *Approach to Partially Self-Checking Finite State Machine Design*, Proc. 25th International Conference on Microelectronics (MIEL 2006), Belgrade, Serbia and Montenegro, Vol.2, 14-17 May, 2006, pp. 697-700. **(M33)**
- c6. **G. Lj. Djordjevic**, T. R. Stankovic, M. K. Stojcev, *Concurrent Error Detection in FSMs Using Transition Checking Technique*, in Proc. of 7-th International Conference on Telecommunications in Modern Satellite, Cable and Broadcasting Services (TELSIKS) vol. 1, Nis, Serbia and Montenegro, September 2005, pp. 61-64. **(M33)**
- c7. M. K. Stojcev, **G. Lj. Djordjevic**, T. R. Stankovic, “*VHDL-Based Design of FSM with Concurrent Error Detection Capability*”, Proc. 24th International Conference on Microelectronics (MIEL 2004), Vol. 2, Niš, Serbia and Montenegro, May, 2004, pp. 759-762. **(M33)**

Pre izbora u zvanje vanredni profesor:

- c8. T. R. Stankovic, M. K. Stojcev, **G. Lj. Djordjevic**, “On VHDL synthesis of self-checking two-level combinational circuits”, Third Triennial International Conference on Applied Automatic Systems, Ohrid, Republic of Macedonia, September 18-20, 2003, pp. 225-230. **(M33)**
- c9. G. S. Jovanovic, M. K. Stojcev, **G. Lj. Djordjevic**, B. D. Petrovic, “High Resolution Time-to-Digital Converter Utilizing Dual-Slope Principle”, 6th International Conference on Telecommunications in Modern Satellite, TELSIKS 2003, Niš, Serbia and Montenegro, October 1-3, 2003, pp. 139-142. **(M33)**
- c10. M. Stojcev, **G. Djordjevic**, M. Krstic, I. Andrejic, “HMVSA – A Hardware Mid-Value Select Voter Architecture”, in *Proc. of ETAI 2000, Ohrid, Macedonia*, 2000, pp. 54-59. **(M33)**
- c11. **G. Lj. Djordjevic**, M. K. Stojcev, “A multistream RISC architecture for high-speed digital signal processing”, *Proc. 3rd International Conference on Telecommunications in Modern Satellite, Cable and Broadcasting Services (TELSIKS)*, Vol. 1, Nis, 1997, pp. 261-264. **(M33)**
- c12. M. Tosic, M. Stojcev, **G. Lj. Djordjevic**, “Asynchronous controller for token-ring mutual exclusion: Delay-insensitive arbiter cell,” *Proc. 21th International Conference on Microelectronics (MIEL)*, Vol.2., Nis, 1997, pp. 819-822. **(M33)**
- c13. M. K. Stojcev, M. Tosic, **G.Lj.Djordjevic**, “Asynchronous full-adder cells for digital signal processing”, *Proc. 3rd International Conference on Telecommunications in Modern Satellite, Cable and Broadcasting Services (TELSIKS)*, Vol. 1, Nis, 1997, pp. 255-260. **(M33)**
- c14. M. Tosic, M. Stojcev, **G. Lj. Djordjevic**, “Asynchronous controller for token-ring mutual exclusion: Ring design,” *Proc. 21th International Conference on Microelectronics (MIEL)*, Vol.2., Nis, 1997, pp. 823-826. **(M33)**

d) Radovi saopštteni na skupovima nacionalnog značaja štampani u celini

- d1. T. R. Nikolic, **G. Lj. Djordjevic**, and M. K. Stojcev, "Micro-power simple processing element", Proc. 8th National Conference with International Participation, ETAI 2007, Ohrid, 19 – 21. September 2007., CD ROM - E2-1. ISBN 978998921753X. **(M63)**
- d2. D. B. Stankovic, M. K. Stojcev, **G. Lj. Djordjevic**, "Smanjenje potrošnje energije kod A/D konvertora sa sukcesivnom aproksimacijom", Zbornik radova 50. konferencije za ETRAN, Beograd, 6-8. juna 2006. tom I, pp. 68-71. **(M63)**
- d3. D. B. Stankovic, M. D. Mitic, **G. Lj. Djordjevic**, "VHDL opis konfigurabilnog mikrokontrolera za implementaciju na FPGA", 13th Telecommunications Forum Telfor 2005, 22-24. 11. 2005. Belgrade, Serbia and Montenegro, November 2005. <http://www.telfor.rs/telfor2005/radovi/PEL-7.13.pdf> **(M63)**

Pre izbora u zvanje vanredni profesor:

- d4. T. R. Stankovic, M. K. Stojcev, **G. Lj. Djordjevic**, “Design of totally self-checking combinational circuits based on VHDL description”, *XLVII Konferencija ETRAN 2003*, Zbornik radova, Herceg Novi, 8-13. jun, 2003, str. 39-42. **(M63)**
- d5. M. Krstić, M. Stojčev, **G. Lj. Djordjević**, “Hardversko glasačka arhitektura bazirana na izboru srednje vrednosti”, *Zbornik radova Konferencije ETRAN 2000*, sveska III, 2000, str. 91-95. **(M63)**
- d6. **G. Lj. Djordjević**, M. Krstic, M. Stojcev, “Glasacka jedinica kod visoko-pouzdanih sistema za akviziciju podataka”, *Zbornik radova Konferencije ETRAN 1999*, sveska I, 2000, str. 46-48. **(M63)**
- d7. **G. Lj. Djordjević**, M.B. Tošić, “Aproksimacioni algoritam za statičko planiranje paralelnih programskih zadataka”, *Zbornik radova XXXVIII Konferencije ETRAN 1994*, sveska III, Niš, 1994, str. 63-64. **(M63)**
- d8. **G. Lj. Djordjević**, “Heuristički algoritam za statičko planiranje paralelnih programskih zadataka”, *Zbornik radova XXXIX Konferencije ETRAN 1995*, Zlatibor, 1995, str.291-293. **(M63)**

- d9. **G. Lj. Djordjević**, M. Stojčev, "Hardverska podrška implementaciji tehnike prenosa poruka kod multiprocesora sa deljivom memorijom", *Zbornik radova XXXVII Konferencije ETRAN 1993*, Beograd, 1993, str.197-202. **(M63)**
- d10. **G. Lj. Djordjević**, M. Stojčev, "Interprocesorski komunikacioni interfejs baziran na FIFO baferima", *Zbornik radova XXXVII Konferencije ETRAN 1993*, Beograd, 1993, str.405-410. **(M63)**

e) Radovi na sticanju naučnih kvalifikacija

- e1. **G. Lj. Djordjević**, "Planiranje izvršenja zadataka kod MIMD sistema tehnikom ulančavanja", doktorska disertacija, Elektronski fakultet, Univerzitet u Nišu, 1998. **(M71)**
- e2. **G. Lj. Djordjević**, "Interprocesorski komunikacioni interfejs za prenos poruka preko zajedničkih memorijskih modula", magistarska teza, Elektronski fakultet, Univerzitet u Nišu, 1994. **(M72)**

2.2. Publikacije

f) Nastavne publikacije

- f1. **G. Lj. Djordjević** "Arhitekture mikrosistema", odobren za štampanje kao udžbenik na Elektronskom fakultetu u Nišu odlukom Nastavno-naučnog veća broj 07/05-002/09-003 od 12.03.2009. god.
- f2. V. Litovski, M. Damjanović, M. Jevtić, D. Milovanović, P. Petković, Ž. Mrčarica, **G. Djordjević**, D. Maksimović, S. Janković, V. Panić, V. Živković, B. Leković, "Praktikum laboratorijskih vežbanja iz projektovanja i testiranja elektronskih kola i sistema", Elektronski fakultet u Nišu, Niš, 2000.
- f3. B.Ž. Djordjević, M. S. Jevtić, **G. Lj. Djordjević**, A. S. Velimirović, "Digitalna elektronska kola i digitalna elektronika – praktikum za laboratorijske vežbe", Elektronski fakultet u Nišu, Niš, 1996.

2.3. Učešće na projektima

"Paralelni i distribuirani računarski sistemi" – potprojekat u okviru naučnog projekta "Računarstvo" – projekat je finansiran od strane Ministarstva za nauku i tehnologiju Republike Srbije u periodu 1991-1995 i 1996-2000. godine.

Uloga: **Istraživač. (R303)**

"Ultrazvučni merač protoka u cevima pod pritiskom" – projekat je finansiran od strane Ministarstva za nauku i tehnologiju Republike Srbije u periodu 2001-2004. godine.

Uloga: **Istraživač. (R303)**

"Bežične senzorske mreže" - projekat je finansiran od strane Ministarstva za nauku i tehnologiju Republike Srbije u periodu 2004-2008 godine.

Uloga: **Istraživač. (R303)**

2.4 Ostvareni rezultati u razvoju naučno-nastavnog podmlatka na fakultetu

Dr Goran Đorđević učestvovao je u svojstvu člana komisije za ocenu i odbranu dve magistarske teze na Elektronskom fakultetu u Nišu i jedne doktorske disertacije na Univerzitetu Leiden, Holandija.

2.5 Sposobnost za nastavni rad

Dr Goran Đorđević poseduje dugogodišnje iskustvo u izvođenju nastave budući da u nastavi učestvuje od 1990. godine kada je izabran za asistenta-pripravnika. Od 1990. godine pa do 1999. godine uspešno je izvodio računске i laboratorijske vežbe iz više predmeta u oblasti

elektronike. Od izbora u zvanje docent, 1999. godine, sa izvodio je nastavu iz više obaveznih i izbornih predmeta na osnovnim i diplomskim akademskim studijama, kao i strukovnim studijama tako da ima bogato iskustvo u nastavnom i pedagoškom radu. Učestvovao je u formiranju većeg broja novih predmeta kao i postupku pripremanja prijave akreditacije studijskog programa Elektronika na diplomskim I doktorskim akademskim studijama na Elektronskom fakultetu u Nišu. Ukupni nastavni rad dr Gorana Đorđevića, zalaganje za pomoć studentima u savlađivanju gradiva, inoviranje i unapređenje nastave mogu se oceniti kao veoma uspešni.

3. PODACI O OBJAVLJENIM RADOVIMA

Radovi **a3** do **a10**, **b3** i **b4**, **c9** do **c14** i **d4** do **d10** analizirani su prilikom izbora kandidata u zvanje docent, pa zbog toga ovde neće biti analizirani. U nastavku, radovi će biti analizirani po srodnosti tematike koju obrađuju, a ne po abecednom redosledu. Naučni radovi kandidata mogu se svrstati u pet kategorija. U prvu kategoriju spadaju radovi **a2**, **b1**, **b2**, **c5**, **c6** i **c7** koji obrađuju tematiku primene tehnika za konkurentnu detekciju grešaka. Drugu kategoriju čine radovi iz oblasti projektovanja sistema visoke pouzdanosti (rad **a1**). Treća kategorija radova pripada oblasti bežičnih senzorskih mreža (radovi **c3**), dok su radovi iz četvrte kategorije posvećeni projektovanju ASIC kola male potrošnje (radovi **c2**, **c4**, **d1**, i **d2**). Radovi iz pete kategorije posvećeni su pojedinim aspektima projektovanja sistema na čipu (radovi **c1** i **d3**).

U radovima **a2**, **b1**, **b2**, **c5**, **c6** i **c7** razmatrani su različiti aspekti primene tehnika za konkurentnu detekciju grešaka u projektovanju digitalnih kola. Razmatrane su tehnike za primenu kako na kombinaciona tako i na sekvencijalna digitalna kola, tehnike za potpunu i delimičnu proveru, kao i tehnike koje su posebno namenjene za implementaciju na FPGA kolima.

U radu **a2** izložena je jedna nova, efikasna tehnika za projektovanje kombinacionih kola sa delimičnom samo-proverom. Predložena tehnika polazi od strukture koju čine dva identična funkcionalni modul i komparator za poređenje njihovih izlaznih vrednosti; zatim definiše kolo za proveru kao spoj jednog funkcionalnog modula i komparatora i konačno, pojednostavljuje logiku kola za proveru do nivoa koji predstavlja željeni kompromis između kompletnosti provere i složenosti hardverske realizacije. Pojednostavljenje se obavlja primenom nove heurističke procedure za aproksimaciju logičkih funkcija zadatih u obliku sume proizvoda. Efikasnost tehnike je procenjena na kombinacionim kolima iz benčmark-seta MCNC91, a rezultati analize pokazuju da se promenom predložene tehnike može ostvariti nivo pokrivenosti grešaka u kolu od 90% sa samo 50% hardvera neophodnog za potpunu proveru.

U radovima **b1** i **b2** razmatrana je sinteza kombinacionih kola sa potpunom samo-proverom na osnovu VHDL opisa. U radu **b1** su analizirane tri tehnike za konkurentnu detekciju grešaka: udvajanje i poređenje, detekcija grešaka primenom Bergerovog koda i detekcija grešaka primenom koda parnosti. Tehnike su primenjene na 8 benčmark kombinacionih kola, tako što su kreirani odgovarajući VHDL opisi, a zatim izvršena sinteza i implementacija na Xilinx FPGA i CPLD kola. Analiza je pokazala da uvođenje samo-provere dovodi do povećanja hardverske složenosti u proseku za 142% za tehniku udvajanja i poređenja, 212% za rešenja koja su zasnovana na Bergerovom i 89% za ona koja su zasnovana na kodu parnosti. Uz to, povećanje hardverske složenosti praćeno je smanjenjem brzine rada kola u iznosu od 86% za udvajanje i poređenje, 200% za kola sa primenjenim Bergerovim i do 60% za kola sa primenjenim kodom parnosti. Takođe, uočeno je ne postoji jedna tehnika za konkurentnu detekciju koja je superiorna u odnosu na druge za sva analizirana kola, već da se izbor tehnike mora vršiti za svako kolo pojedinačno. Slična analiza sprovedena je i u radu **b2**,

s tom razlikom što su analizirana digitalna kola standardne strukture, kao što su aritmetička kola i dekoderske mreže. Dobijeni rezultati koji se tiču performansi su uporedljivi s onim koji su proističu iz rada **b1**. Takođe, u radu **b2** razmatrani su načini za umetanje hardverskih struktura za konkurentnu detekciju grešaka na nivou funkcionalnog VHDL opisa i s više detalju su analizirane konsekvence primene tehnika za konkurentnu detekciju grešaka na standardni tok projektovanja i implementacije digitalnih kola.

U radovima **c5**, **c6** i **c7**, razmatra se problematika projektovanja konačnih automata (FSM) sa samo-proverom. Analizirana su dva aspekta. Prvi se odnosi na projektovanje FSM sa potpunom (rad **c7**), a drugi na FSM sa delimičnom samo-proverom (radovi **c5** i **c6**). U radu **c7** predstavljena je metodologija projektovanja FSM sa potpunom samo-proverom zasnovana na VHDL-u. Projektovanje se oslanja na VHDL biblioteku pretprojektovanih parametrizovanih modula za konkurentnu detekciju grešaka, s jedne i kôdni šablon za kreiranja VHDL opisa FSM sa samo-proverom s druge strane. Kôdni šablon omogućava izbor tehnike za detekciju grešaka, uključivanje u projekat odgovarajućih pretprojektovanih modula i njihovu spregu s modulima FSM koja se projektuje. Generisani VHDL opis je spreman za simulaciju i sintezu uz pomoć komercijalnih alata za projektovanje. Efikasnost metodologija je procenjena kroz primenu na nekoliko standardnih, benčmark FSM-ova.

Radovi **c5** i **c6** su posvećeni tehnikama projektovanja FSM sa delimičnom samo-proverom. Rad **c6** predstavlja tehniku zasnovanu na *on-line* praćenju rada FSM. Shodno uvedenom funkcionalnom modelu grešaka, prelazi između stanja FSM-a (tj. tranzicije) su klasifikovani na legalne (potiču iz specifikacije FSM-a) i nelegalne (ne postoje u specifikaciji FSM-a). Samo-provera se postiže ugradnjom u FSM kombinacionog modula koji prati rad FSM-a i aktivira signal greške onda kad detektuje nelegalnu tranziciju. U radu je predstavljen analitički model koji omogućava procenu faktora pokrivenosti grešaka polazeći od statističkih podataka o radu FSM (verovatnoće posećenosti stanja) i broja bita koji se koristi za kodiranje stanja. Primenom modela na skup benčmark FSM-ova pokazano je da se primenom predložene tehnika za samo-proveru postiže visok nivo pokrivenost grešaka, veći od 99%, uz minimalno povećanje broja bita za kodiranje stanja.

Tehnika za *on-line* detekciju grešaka u radu FSM-a koja je predstavljena u **a5** takođe je zasnovana na funkcionalnom modelu grešaka, ali koristi nešto drugačiji pristup. Kao u **a2**, modul za proveru se kreira objedinjavanjem udvojenog kombinacionog bloka FSM-a i komparatora. Takav modul, u svom punom obimu, poseduje 4 grupe ulaza: prave ulaze i izlaze i kôdove tekućeg i sledećeg stanja FSM-a i pri tom obezbeđuje detekciju bilo koje greške u radu FSM-a, ali po cenu velike hardverske složenosti. Pojednostavljenje modula za proveru ostvareno je eliminacijom pojedinih grupa njegovih ulaza. Pri tome, razmatrane su dve varijante, modul koji nadgleda samo kodove tekućeg sledećeg stanja i modul koji dodatno nadgleda prave izlaze FSM-a. U radu su analizirane performanse dve varijante modula za proveru sa stanovišta pokrivenosti grešaka i hardverske složenosti. Takođe, razmatran je efekat koji na performanse ima povećanje broja bita za kodiranje stanja FSM-a. Ustanovljeno je da efikasnost predložene metode prevashodno zavisi od osobina FSM-a na koji se primenjuje a da se prihvatljiv nivo pokrivenosti grešaka (> 80%) može postići ugradnjom, u proseku, 50-70% dodatnog hardvera.

U radu **a1** razmatrana je hardverska realizacija glasačkog modula za primenu u visokopouzdanim sistema za akviziciju podataka. Glasački modul rešava problem prikupljanja i preliminarne obrade podataka generisanih od strane redundantnih senzorskih elemenata. Za razliku od standardnog principa trostruke modularne redundanse, predloženo rešenje zahteva ugradnju četiri redundantna senzorska elementa i dva nivoa glasanja. Podaci koji se prenose između senzorskih elemenata i glasačkog modula kodirani su u *Hamming*-ovom kodu, što

omogućava da se u prvom nivou glasanja detektuju i/ili isprave greške nastale u prenosu podataka i eventualno eliminiše jedan od podataka koji je značajno narušen u prenosu. U drugom nivou glasanja, od tri preostala podatka bira se jedan koji se zajedno sa statusnom informacijom koja ukazuje na stepen pouzdanosti izglasane vrednosti, prosleđuje ostatku sistema na dalju obradu. Predloženi mehanizam glasanja toleriše neizbežno rasipanje vrednosti podatak, tako što uvek bira srednju od tri vrednosti. Novo pouzdanosti je određene relativnom razlikom između izglasane i preostalih vrednosti. U radu su takođe izloženi eksperimentalni rezultati koji se odnose na procenu greške pune skale izglasane vrednost u zavisnosti od broja neispravnih senzorskih elemenata, rezolucije izlaznih podatak senzorskih elemenata i broja bitova koji su narušeni u toku prenosa podataka.

U radu **c3** predstavljen je komunikacioni protokol MAC nivoa za primenu u bežičnim senzorskim mrežama. Bežičnu senzorsku mrežu čini skup prostorno razuđenih senzorskih čvorova, tj. autonomnih, baterijski napajanih uređaja sa mogućnošću RF komunikacije malog dometa. Senzorski čvorovi međusobno saraduju u cilju formiranja samo-organizujuće bežične mreže *multi-hop* tipa. Predloženi MAC protokol je hibridnog tipa, odnosno, kombinuje vremensku i frekventnu podelu radi što efikasnijeg iskorišćenja raspoloživog komunikacionog kapaciteta. Vreme se deli na cikluse, a svaki ciklus na vremenske slotove fiksnog trajanja. Tokom svakog vremenskog slota, čvor može da koristi jednu od nekoliko raspoloživih frekvencija za komunikaciju sa susednim čvorovima. Raspored korišćenja vremenskih slotova/frekvencija koji garantuje komunikaciju bez konflikata kreira se na distribuiran način, kroz razmenu ograničenog broja poruka između susednih čvorova tokom prvog vremenskog slota u ciklusu. U radu su takođe opisani tok i rezultati simulacione analize koja je sprovedena u cilju evaluacije performansi predloženog komunikacionog protokola. Pri tome su kao ulazni parametri korišćeni: komunikaciono opterećenje (učestalost generisanja poruka u senzorskim čvorovima), gustina mreže (izražena prosečnim brojem susednih čvorova) i broj raspoloživih frekvencija. Simulaciona analiza pokazuje da i sa relativno malim brojem raspoloživih frekvencija (2-4) predloženi protokol značajno poboljšava performanse bežične senzorske mreže u pogledu maksimalne komunikacione propusnosti i prosečnog vremena prenosa paketa. Pri tome, poboljšanja su značajnija u "gustim" mrežama (u kojima svaki čvor ima 5 i više suseda), gde se sa četiri i više raspoloživih frekvencija maksimalna komunikaciona propustnost povećava za 100%, a prosečno vreme prenosa paketa smanjuje za oko 50%, u odnosu na referentnu bežičnu mrežu u kojoj se za komunikaciju između čvorova koristi samo jedna frekvencija.

Projektovanje kola sa malom potrošnjom energije je tematika radova **c2**, **c4**, **d1** i **d2**. U radovima **c2** i **d1** razmatra se projektovanje višefunkcionalnog procesnog elementa primenom tehnike gejtovanja takta, dok su radovi **c4** i **d2** posvećeni projektovanju A/D konvertora sa mikro-potrošnjom energije. U radu **c2** opisan je procesni element za aritmetička izračunavanja projektovan za malu potrošnju energije primenom tehnike gejtovanja takta. Procesorski element je opisan u VHDL-u, na RTL nivou, a zatim sintetizovan i implementiran u FPGA kolu. Sprovedena analiza hardverske složenosti i potrošnje energije pokazala je da se primenom gejtovanja takta postiže ušteda energije od čak 97.2% uz povećanje hardverske složenosti od oko 37%. U radu **d2** je predstavljena tehnika za projektovanja na RTL nivou višefunkcionalnih procesnih elemenata sa mikro-potrošnjom. U radu je ukazano na načine za pisanje efikasnog VHDL kôda sa stanovišta potrošnje energije. Na primeru višefunkcionalnog procesnog elementa pokazano je da se bez ikakvih neposrednih intervencija na niskom nivou, već samo primenom tehnike gejtovanja takta na RTL nivou može postići ušteda u potrošnji energije od 87.8% uz povećanje hardverske složenosti od 38%.

U radu **c4** se razmatra problem smanjenja potrošnje energije A/D konvertora sa sukcesivnom aproksimacijom. Predložena su dva algoritma za binarnu pretragu čijom se primenom u A/D konvertoru sa sukcesivnom aproksimacijom smanjuje prosečan broj koraka (tj. taktnih ciklusa) konverzije, a time na posredan način i ukupna utrošena energija tokom jednog ciklusa konverzije. Smanjenje broja koraka konverzije je posledica pretpostavke da je ulazni signal takvih karakteristika da se vrednosti dva uzastopna uzorka razlikuju za mali iznos, manji od δ , odnosno da će u najvećem broju slučajeva određeni broj bitova najveće težine novog uzorka ostati isti kao u prethodnom. U prvom algoritmu, δ je konstantni ulazni parametar rada konvertora, dok se u drugom vrednost ovog parametra menja u realnom vremenu, shodno dinamici ulaznog signala. Ako je pretpostavka o bliskosti uzastopnih uzorka tačna, broj koraka konverzije se smanjuje za broj pretpostavljenih koincidentnih bitova, dok u suprotnom slučaju, ako je pretpostavka netačna, konverzija traje duže. Simulaciona analiza, koja je sprovedena za pet signala karakterističnih talasnih oblika, pokazuje da se primenom predloženih algoritama u A/D konvertoru sa sukcesivnom aproksimacijom ostvaruje ušteda energije do 25%. U radu **d1** se razmatra primena energetski-efikasnog A/D konvertora sa sukcesivnom aproksimacijom (uveden u radu **c2**) u čvorovima bežičnih senzorskih mreža sa aspekta VLSI realizacije i modifikacije algoritma upravljanja.

Radovi **c1** i **d3** pripadaju, u širem kontekstu, oblasti projektovanja sistema na čipu. U radu **d3** predstavljeno je konfigurabilno jezgro mikrokontrolera zasnovano na arhitekturi PIC mikrokontrolera iz *mid-range* familije. Jezgro je opisano u VHDL-u i prilagođeno implementaciji na Xilinx FPGA. Jezgro podržava veći broj konfigurabilnih opcija koje se odnose na veličinu programske i registarske memorije, uključivanje/isključivanje pojedinih perifernih jedinica kao i statičku konfiguraciju njihovog režima rada. Zahvaljujući tome, jezgro se odlikuje fleksibilnošću koju poseduju procesori opšte namene uz istovremeno optimalno iskorišćenje hardverskih resursa. U punoj konfiguraciji, jezgro zauzima 832 slajsa i može da radi na maksimalnoj frekvenciji od 65 MHz. U minimalnoj konfiguraciji, zauzeće resursa FPGA kola se smanjuje na 451 slajs uz maksimalnu taktnu frekvenciju od 100MHz.

U radu **c1** razmatra se primena CDMA tehnike za simultani prenos podataka preko perifernjske magistrale u sistemima na čipu. U odnosu na konvencionalne magistrale, broj paralelnih linija je smanjen s w na $\log_2 w$, što ovo rešenje čini naročito pogodnim za sprezanje procesnih elemenata sa ograničenim brojem ulazno/izlaznih pinova. Predloženo rešenje je realizovano na FPGA kolima iz Xilinx Spartan2 familije. Rezultati sprovedene analize pokazuju da rešenje poseduje osobinu proširljivosti u pogledu komunikacione propusnosti, odnosno da pri dodavanju sistemskih komponenti, uz odgovarajuće proširenje CDMA kôda, dolazi tek do neznatnog pada performanse sistema.

4. MIŠLJENJE O ISPUNJENOSTI USLOVA ZA IZBOR

Uvidom u konkursni materijal, Komisija smatra da, na osnovu do sada publikovanih naučnih radova, aktivnosti na projektima i pokazanih rezultata u naučnom i stručnom radu, kao i uspešnog izvođenja nastave iz više predmeta na osnovnim i diplomskim akademskim studijama i strukovnim studijama, kandidat dr Goran Lj. Đorđević ispunjava u potpunosti sve uslove, predviđene Zakonom o visokom obrazovanju Republike Srbije, Statutom Elektronskog fakulteta u Nišu i odredbama Pravilnika o uslovima i kriterijumima za izbor u zvanja nastavnika Elektronskog fakulteta u Nišu, da bude izabran u zvanje redovni profesor.

Pri tome je posebno uzeto u obzir da je dr Goran Đorđević autor većeg broja naučnih radova objavljenih u vodećim međunarodnim časopisima i međunarodnim časopisima sa SCI liste, domaćim časopisima i naučnih radova saopštenih na renomiranim međunarodnim i domaćim konferencijama. Pored toga, kandidat je autor jednog univerzitetskog udžbenika. Takođe,

učestvovao je kao član komisije jedne doktorske disertacije, dve magistarske teze i većeg broja diplomskih radova. Kao istraživač učestvovao je na tri naučno-istraživačka projekata Ministarstva nauke. Osim toga, kandidat poseduje dugogodišnje nastavno pedagoško iskustvo.

5. PREDLOG ZA IZBOR

Na osnovu svega prethodno izloženog Komisija predlaže Izbornom veću Elektronskog fakulteta da kandidata dr Gorana Lj. Đorđevića izabere u zvanje redovni profesor za užu naučnu oblast Elektronika.

Članovi komisije:

1. dr Mile Stojčev, redovni profesor Elektronskog fakulteta u Nišu, s. r.
2. dr Jovan Đorđević, redovni profesor Elektrotehničkog fakulteta u Beogradu, s. r.
3. dr Branislav Petrović, vanredni profesor Elektronskog fakulteta u Nišu, s. r.